

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-313811

(P2002-313811A)

(43) 公開日 平成14年10月25日 (2002. 10. 25)

| (51) Int.Cl. <sup>7</sup> | 識別記号 | F I            | テームコード* (参考) |
|---------------------------|------|----------------|--------------|
| H 0 1 L 21/336            |      | G 0 2 F 1/1368 | 2 H 0 9 2    |
| G 0 2 F 1/1368            |      | H 0 1 L 21/20  | 5 F 0 5 2    |
| H 0 1 L 21/20             |      | 21/322         | G 5 F 1 1 0  |
| 21/322                    |      | 29/78          | 6 2 7 Z      |
| 29/786                    |      |                | 6 1 8 G      |

審査請求 未請求 請求項の数17 O L (全 24 頁) 最終頁に続く

(21) 出願番号 特願2002-20801(P2002-20801)

(22) 出願日 平成14年1月29日 (2002. 1. 29)

(31) 優先権主張番号 特願2001-19367(P2001-19367)

(32) 優先日 平成13年1月29日 (2001. 1. 29)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000153878

株式会社半導体エネルギー研究所  
神奈川県厚木市長谷398番地

(72) 発明者 中村 理

神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(72) 発明者 梶原 誠之

神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(72) 発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

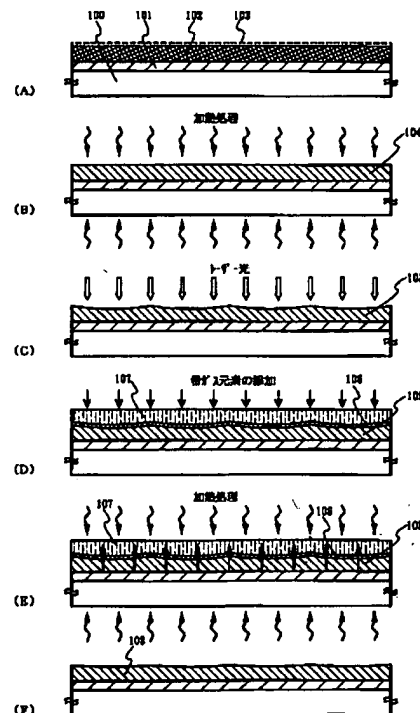
最終頁に続く

(54) 【発明の名称】 半導体装置及びその作製方法

(57) 【要約】

【課題】 非晶質半導体膜の結晶化に対して触媒作用のある金属元素を用いて得られる半導体膜に残存する当該金属元素を効果的に除去する技術を提供することを目的とする。

【解決手段】 非晶質構造を有する半導体膜の結晶化に用いた触媒元素を除去するために、希ガス元素を添加した領域又は希ガス元素が添加された半導体膜を形成し、加熱処理を施してそこに触媒元素を移動させ、ゲッタリングを完遂させるものである。希ガス元素を添加した半導体膜と結晶構造を有する半導体膜との界面には薄い酸化膜を形成する。



## 【特許請求の範囲】

【請求項1】絶縁表面上に結晶構造を有する半導体膜が形成された半導体装置において、前記半導体膜に含まれる酸素の濃度は $5 \times 10^{18}/\text{cm}^3$ 以下であり、前記半導体膜の内部又は表面近傍において、希ガス元素が $1 \times 10^{13} \sim 1 \times 10^{20}/\text{cm}^3$ の濃度で含まれている領域を有することを特徴とする半導体装置。

【請求項2】絶縁表面上に結晶構造を有する半導体膜が形成された半導体装置において、前記半導体膜は細い棒状又は細い扁平棒状結晶であり、前記半導体膜に含まれる酸素の濃度は $5 \times 10^{18}/\text{cm}^3$ 以下であり、前記半導体膜の内部又は表面近傍において、希ガス元素が $1 \times 10^{13} \sim 1 \times 10^{20}/\text{cm}^3$ の濃度で含まれている領域を有することを特徴とする半導体装置。

【請求項3】絶縁表面上に結晶構造を有する半導体膜と、ゲート絶縁膜と、ゲート電極とを有する半導体装置において、前記半導体膜は、前記ゲート電極と重なる領域において、酸素を $5 \times 10^{18}/\text{cm}^3$ 以下の濃度で含み、かつ、前記半導体膜の内部又は前記ゲート絶縁膜との界面近傍において、希ガス元素が $1 \times 10^{13} \sim 1 \times 10^{20}/\text{cm}^3$ の濃度で含まれている領域を有することを特徴とする半導体装置。

【請求項4】絶縁表面上に結晶構造を有する半導体膜と、ゲート絶縁膜と、ゲート電極とを有する半導体装置において、前記半導体膜は、細い棒状又は細い扁平棒状結晶であり、前記ゲート電極と重なる領域において、酸素を $5 \times 10^{18}/\text{cm}^3$ 以下の濃度で含み、かつ、前記半導体膜の内部又は前記ゲート絶縁膜との界面近傍において、希ガス元素が $1 \times 10^{13} \sim 1 \times 10^{20}/\text{cm}^3$ の濃度で含まれている領域を有することを特徴とする半導体装置。

【請求項5】請求項1乃至請求項4のいずれかにおいて、前記希ガス元素はHe、Ne、Ar、Kr、Xeから選ばれた一種または複数種であることを特徴とする半導体装置。

【請求項6】絶縁表面を有する基板上にシリコンを主成分とし非晶質構造を有する第1の半導体膜を形成する工程と、前記第1の半導体膜にシリコンの結晶化を助長する触媒元素を添加して、第1の加熱処理により結晶構造を有する第1の半導体膜を形成する工程と、前記結晶構造を有する第1の半導体膜の表面にバリア層を形成する工程と、前記バリア層上に第2の半導体膜を成膜する工程と、前記第2の半導体膜に希ガス元素を前記成膜と同時に又はその後に添加して、第2の加熱処理によりゲッタリングを行い前記触媒元素を前記第2の半導体膜に移動させる工程と、前記第2の半導体膜を除去する工程と、前記バリア層を除去する工程とを有することを特徴とする半導体装置の作製方法。

【請求項7】絶縁表面を有する基板上にシリコンを主成分とし非晶質構造を有する第1の半導体膜を形成する工

程と、前記第1の半導体膜にシリコンの結晶化を助長する触媒元素を添加して、第1の加熱処理により結晶構造を有する第1の半導体膜を形成する工程と、前記結晶構造を有する第1の半導体膜レーザー光を照射する工程と、前記結晶構造を有する第1の半導体膜の表面にバリア層を形成する工程と、前記バリア層上に第2の半導体膜を成膜する工程と、前記第2の半導体膜に希ガス元素を前記成膜と同時に又はその後に添加して、第2の加熱処理によりゲッタリングを行い前記触媒元素を前記第2の半導体膜に移動させる工程と、前記第2の半導体膜を除去する工程と、前記バリア層を除去する工程とを有することを特徴とする半導体装置の作製方法。

【請求項8】請求項6又は請求項7において、前記バリア層はオゾン水により形成することを特徴とする半導体装置の作製方法。

【請求項9】請求項6又は請求項7において、前記バリア層はプラズマ処理により表面を酸化して形成することを特徴とする半導体装置の作製方法。

【請求項10】請求項6又は請求項7において、前記バリア層は酸素を含む雰囲気中で紫外線を照射してオゾンが発生させ表面を酸化して形成することを特徴とする半導体装置の作製方法。

【請求項11】請求項6又は請求項7において、前記希ガス元素はHe、Ne、Ar、Kr、Xeから選ばれた一種または複数種であることを特徴とする半導体装置の作製方法。

【請求項12】請求項6又は請求項7において、前記希ガス元素はイオン注入法又はイオンドープ法で添加することを特徴とする半導体装置の作製方法。

【請求項13】請求項6又は請求項7において、前記第1の加熱処理は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプから選ばれた一種または複数種からの輻射により行うことを特徴とする半導体装置の作製方法。

【請求項14】請求項6又は請求項7において、前記第1の加熱処理は、電熱炉を用いたファーネスアニール法により行うことを特徴とする半導体装置の作製方法。

【請求項15】請求項6又は請求項7において、前記第2の加熱処理は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプから選ばれた一種または複数種からの輻射により行うことを特徴とする半導体装置の作製方法。

【請求項16】請求項6又は請求項7において、前記第2の加熱処理は、電熱炉を用いたファーネスアニール法により行うことを特徴とする半導体装置の作製方法。

【請求項17】請求項6又は請求項7いずれかにおいて、前記触媒元素はFe、Ni、Co、Ru、Rh、Pd、Os、Ir、Pt、Cu、Auから選ばれた一種ま

たは複数種であることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は結晶構造を有する半導体膜を用いた半導体装置及びその作製方法に関し、より具体的には薄膜トランジスタ（以下、TFTと記す）で代表される半導体装置及びその作製方法に関する。尚、本明細書において半導体装置とは半導体特性を利用して機能する装置全般を含むものとする。

【0002】

【従来の技術】TFTを用いて集積回路を形成するために、絶縁表面に結晶構造を有する半導体膜を形成する技術は重要視されている。半導体膜はTFTの活性層（ここではチャネル形成領域やソース及びドレイン領域などを含めて言う）を形成するために用いられ、その品質そのものが直接的にTFTの電気的特性を決める要素となるからである。

【0003】結晶構造を有する半導体膜を形成するための方法は、一旦非晶質半導体膜を形成した後、レーザー光を照射して結晶化させる方法や、電熱炉を用いて加熱処理を行い結晶化させる方法が用いられている。しかし、このような方法で作製される半導体膜は多数の結晶粒から成り、その結晶方位は任意な方向に配向して制御することが出来ないでいる。そのために、単結晶の半導体と比較してキャリアの移動がスムーズに行われず、TFTの電気的特性を制限する要因となっている。

【0004】これに対し、特開平7-183540号公報で開示される技術は、ニッケルなどの金属元素を添加してシリコン半導体膜を結晶化させる技術であり、当該金属元がいわば触媒となり結晶化を促進し、また、それに必要とする温度を低下させる効果があることが知られている。さらに、そればかりでなく結晶方位の配向性を高めることも可能となっている。触媒作用のある元素としてはFe、Ni、Co、Ru、Rh、Pd、Os、Ir、Pt、Cu、Auから選ばれた一種または複数種であることが知られている。

【0005】しかし、触媒作用のある金属元素（ここでは全てを含めて触媒元素と呼ぶ）を添加する故に、半導体膜の膜中或いは膜表面には、当該金属元素が残存し、TFTの電気的特性をばらつかせるなどの問題がある。例えば、TFTのオフ電流が増加し、個々の素子間でばらつくなどの問題がある。即ち、結晶化に対し触媒作用のある金属元素は、一旦結晶質半導体膜が形成されてしまえば、かえって不要な存在となっている。

【0006】燐を用いたゲッタリング技術は、結晶化の為に添加した金属元素を500℃程度の加熱温度においても、半導体膜の特定の領域から除去することを可能としている。例えば、TFTのソース・ドレイン領域にリンを添加して450～700℃の熱処理を行うことで、

素子形成領域から結晶化の為に添加した金属元素を容易に除去することが可能である。このような技術の一例は、特許第3032801号に開示されている。

【0007】ところで、ゲッタリング技術には、シリコンウエハーに外部から歪み場や化学的作用を与えてゲッタリング効果をもたせるエクストリンシックゲッタリングや、ウエハー内部に生成された酸素が関与する格子欠陥の歪み場を利用したイントリンシックゲッタリングが知られている。エクストリンシックゲッタリングには、シリコンウエハーの裏面（素子を形成する反対側の面）に機械的損傷を与える方法や、多結晶シリコン膜を形成する方法、及びリンを拡散する方法などが知られている。また、イオン注入により形成された二次的格子欠陥により歪み場を形成して行うゲッタリング技術も知られている。これらの技術は、単結晶シリコン基板を用いた大規模集積回路の製造技術として発展し、今日に至ったものであり、シリコンのウエハーの使用を前提として経験的な要素も含め開発されたものである。いずれにしても、ゲッタリングは半導体中に含まれる金属不純物等を、何らかのエネルギーで移動させ所定の領域（ゲッタリングサイト）に濃集させることで、素子形成領域（被ゲッタリング領域）の金属不純物濃度を低減させるものである。

【0008】

【発明が解決しようとする課題】燐はドナーとしてn型半導体領域を形成するために多くの半導体素子で使用され、ドーパントとして知られる元素である。従って、燐を用いたゲッタリングはTFTの製造工程に比較的容易に組み入れることが可能である。燐を用いたゲッタリングは、550℃にて4時間程度の加熱処理で、シリコンの結晶化の為に半導体膜に導入した金属元素を除去することを可能としている。しかし、そのために半導体膜に添加しなければならない燐の濃度は $1 \times 10^{20}/\text{cm}^3$ 以上、好ましくは $1 \times 10^{21}/\text{cm}^3$ であり、ドーピングに要する処理時間が増大してしまう問題点があった。さらに、イオン注入法、或いはイオンドーパ法（本明細書では注入するイオンの質量分離を行わない方法を指している）による燐の添加は、半導体膜の非晶質化をもたらすし、高濃度の燐の添加はその後の再結晶化を困難にしていた。

【0009】本発明はこのような問題を解決するための手段であり、半導体膜の結晶化に対して触媒作用のある金属元素を用いて得られる半導体膜に残存する当該金属元素を効果的に除去する技術を提供することを目的とする。

【0010】

【課題を解決するための手段】上記問題を解決するために、本発明は非晶質構造を有する半導体膜の結晶化に用いた触媒元素を除去するために、希ガス元素を添加した領域又は半導体膜を形成し、そこに触媒元素を移動さ

せ、ゲッターリングを完遂させることを特徴としている。

【0011】具体的には、本発明の半導体装置の作製方法は、絶縁表面を有する基板にシリコンを主成分とし非晶質構造を有する第1の半導体膜を形成する工程と、前記第1の半導体膜にシリコンの結晶化を助長する触媒元素を添加して、第1の加熱処理により結晶構造を有する第1の半導体膜を形成する工程と、前記結晶構造を有する第1の半導体膜の表面にバリア層を形成する工程と、前記バリア層上に第2の半導体膜を成膜する工程と、前記第2の半導体膜に希ガス元素を前記成膜と同時に又はその後に添加して、第2の加熱処理によりゲッターリングを行い前記触媒元素を前記第2の半導体膜に移動させる工程と、前記第2の半導体膜を除去する工程と、前記バリア層を除去する工程とを含んでいる。

【0012】または、絶縁表面を有する基板にシリコンを主成分とし非晶質構造を有する第1の半導体膜を形成する工程と、前記第1の半導体膜にシリコンの結晶化を助長する触媒元素を添加して、第1の加熱処理により結晶構造を有する第1の半導体膜を形成する工程と、前記結晶構造を有する第1の半導体膜レーザー光を照射する工程と、前記結晶構造を有する第1の半導体膜の表面にバリア層を形成する工程と、前記バリア層上に第2の半導体膜を成膜する工程と、前記第2の半導体膜に希ガス元素を前記成膜と同時に又はその後に添加して、第2の加熱処理によりゲッターリングを行い前記触媒元素を前記第2の半導体膜に移動させる工程と、前記第2の半導体膜を除去する工程と、前記バリア層を除去する工程とを含んでいる。

【0013】または、絶縁表面を有する基板にシリコンを主成分とし非晶質構造を有する第1の半導体膜を形成する工程と、前記第1の半導体膜にシリコンの結晶化を助長する触媒元素を添加して、第1の加熱処理により結晶構造を有する第1の半導体膜を形成する工程と、前記結晶構造を有する第1の半導体膜の表面にバリア層を形成する工程と、前記バリア層上に第3の半導体膜を形成する工程と、前記第2の半導体膜に希ガス元素を前記成膜と同時に又はその後に添加して、第2の加熱処理によりゲッターリングを行い前記触媒元素を前記第2の半導体膜に移動させる工程と、前記第2の半導体膜を除去する工程と、前記バリア層を除去する工程と、前記結晶構造を有する第1の半導体膜にレーザー光を照射する工程とを含んでいる。

【0014】または、絶縁表面を有する基板にシリコンを主成分とし非晶質構造を有する第1の半導体膜を形成する工程と、前記非晶質構造を有する第1の半導体膜にシリコンの結晶化を助長する触媒元素を添加する工程と、前記非晶質構造を有する第1の半導体膜の表面にバリア層を形成する工程と、前記バリア層上に第2の半導体膜を形成する工程と、前記第2の半導体膜に希ガス元素を前記成膜と同時に又はその後に添加する工程と、加熱

処理により、前記非晶質構造を有する第1の半導体膜を結晶化させ結晶構造を有する第1の半導体膜を形成すると共に前記触媒元素を前記第2の半導体膜に移動させる工程と、前記第2の半導体膜を除去する工程と、前記バリア層を除去する工程と、前記結晶構造を有する第1の半導体膜にレーザー光を照射する工程とを含んでいる。

【0015】または、絶縁表面上にシリコンの結晶化を助長する触媒元素を添加する工程と、前記絶縁表面を有する基板にシリコンを主成分とし非晶質構造を有する第1の半導体膜を形成する工程と、前記非晶質構造を有する第1の半導体膜の表面にバリア層を形成する工程と、前記非晶質構造を有する第1の半導体膜上に第2の半導体膜を形成する工程と、前記第2の半導体膜に希ガス元素を前記成膜と同時に又はその後に添加する工程と、加熱処理により、前記非晶質構造を有する第1の半導体膜を結晶化させ結晶構造を有する第1の半導体膜を形成すると共に前記触媒元素を前記第2の半導体膜に移動させる工程と、前記第2の半導体膜を除去する工程と、前記バリア層を除去する工程と、前記結晶構造を有する第1の半導体膜にレーザー光を照射する工程とを含んでいる。

【0016】前記バリア層はケミカルオキシサイドの如きオゾン水による酸化、或いはプラズマ処理により表面を酸化、或いは酸素を含む雰囲気中で紫外線を照射してオゾンが発生させ表面を酸化して形成すれば良い。また、酸化シリコン膜などをスパッタリング法やプラズマCVD法で形成しても良い。

【0017】ゲッターリングサイトを形成するために添加する希ガス元素はHe、Ne、Ar、Kr、Xeから選ばれた一種または複数種を用いる。そして、これら希ガス元素は、イオン注入法又はイオンドープ法で添加するか、或いは前記第2の半導体膜を形成する時に同時に取り込まれるようにする。

【0018】また、結晶化を行うための第1の加熱処理は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプから選ばれた一種または複数種からの輻射により行うLRTA法、又は窒素やアルゴンなどの不活性気体を加熱媒質として用いるGRTA法を採用するか、又は電熱炉を用いたファーネスアニール法を採用して行う。

【0019】また、ゲッターリングを行うための第1の加熱処理は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプから選ばれた一種または複数種からの輻射により行うLRTA法、又は窒素やアルゴンなどの不活性気体を加熱媒質として用いるGRTA法を採用するか、又は電熱炉を用いたファーネスアニール法を採用して行う。

【0020】このような作製方法により得られる本発明の半導体装置は、絶縁表面上に結晶構造を有する半導体

膜を有し、前記半導体膜に含まれる酸素の濃度は $5 \times 10^{18}/\text{cm}^3$ 以下であり、前記半導体膜の内部又は表面近傍において、希ガス元素が $1 \times 10^{13} \sim 1 \times 10^{20}/\text{cm}^3$ の濃度で含まれている領域を有することを特徴としている。

【0021】また、他の構成は、絶縁表面上に結晶構造を有する半導体膜を有する半導体装置において、前記半導体膜は細い棒状又は細い扁平棒状結晶であり、前記半導体膜に含まれる酸素の濃度は $5 \times 10^{18}/\text{cm}^3$ 以下であり、前記半導体膜の内部又は表面近傍において、希ガス元素が $1 \times 10^{13} \sim 1 \times 10^{20}/\text{cm}^3$ の濃度で含まれている領域を有することを特徴としている。

【0022】また、他の構成は、絶縁表面上に結晶構造を有する半導体膜と、ゲート絶縁膜と、ゲート電極とを有する半導体装置において、前記半導体膜は、前記ゲート電極と重なる領域において、酸素を $5 \times 10^{18}/\text{cm}^3$ 以下の濃度で含み、かつ、前記半導体膜の内部又は前記ゲート絶縁膜との界面近傍において、希ガス元素が $1 \times 10^{13} \sim 1 \times 10^{20}/\text{cm}^3$ の濃度で含まれている領域を有することを特徴としている。

【0023】また、他の構成は、絶縁表面上に結晶構造を有する半導体膜と、ゲート絶縁膜と、ゲート電極とを有する半導体装置において、前記半導体膜は、細い棒状又は細い扁平棒状結晶であり、前記ゲート電極と重なる領域において、酸素を $5 \times 10^{18}/\text{cm}^3$ 以下の濃度で含み、かつ、前記半導体膜の内部又は前記ゲート絶縁膜との界面近傍において、希ガス元素が $1 \times 10^{13} \sim 1 \times 10^{20}/\text{cm}^3$ の濃度で含まれている領域を有することを特徴としている。

【0024】

【発明の実施の形態】【実施の形態1】以下、図面を参照して本発明の実施の形態を詳細に説明する。図1は本発明の一実施形態を説明する図であり、非晶質構造を有する半導体膜の全面に触媒作用のある金属元素を全面に添加して結晶化した後、ゲッタリングを行う方法である。

【0025】図1(A)において、基板100はその材質に特段の限定はないが、好ましくはバリウムホウケイ酸ガラスやアルミノホウケイ酸ガラス、或いは石英などを用いることができる。基板100の表面には、ブロッキング層101として無機絶縁膜を10～200nmの厚さで形成する。好適なブロッキング層の一例は、プラズマCVD法で作製される酸化窒化シリコン膜であり、 $\text{SiH}_4$ 、 $\text{NH}_3$ 、 $\text{N}_2\text{O}$ から作製される第1酸化窒化シリコン膜を50nmの厚さに形成し、 $\text{SiH}_4$ と $\text{N}_2\text{O}$ から作製される第2酸化窒化シリコン膜を100nmの厚さに形成したものを適用する。ブロッキング層101はガラス基板に含まれるアルカリ金属がこの上層に形成する半導体膜中に拡散しないために設けるものであり、石英を基板とする場合には省略することも可能である。

【0026】ブロッキング層101の上に形成する非晶

質構造を有する半導体膜(第1の半導体膜)102は、シリコンを主成分とする半導体材料を用いる。代表的には、非晶質シリコン膜又は非晶質シリコンゲルマニウム膜などが適用され、プラズマCVD法や減圧CVD法、或いはスパッタリング法で10～100nmの厚さに形成する。良質な結晶を得るためには、非晶質構造を有する半導体膜102に含まれる酸素、窒素などの不純物濃度を $5 \times 10^{18}/\text{cm}^3$ 以下に低減させておくことが良い。これらの不純物は非晶質半導体の結晶化を妨害する要因となり、また結晶化後においても捕獲中心や再結合中心の密度を増加させる要因となる。そのために、高純度の材料ガスを用いることはもとより、反応室内の鏡面処理(電界研磨処理)やオイルフリーの真空排気系を備えた超高真空対応のCVD装置を用いることが望ましい。

【0027】その後、非晶質構造を有する半導体膜102の表面に、結晶化を促進する触媒作用のある金属元素を添加する。半導体膜の結晶化を促進する触媒作用のある金属元素としては鉄(Fe)、ニッケル(Ni)、コバルト(Co)、ルテニウム(Ru)、ロジウム(Rh)、パラジウム(Pd)、オスミウム(Os)、イリジウム(Ir)、白金(Pt)、銅(Cu)、金(Au)などであり、これらから選ばれた一種または複数種を用いることができる。代表的にはニッケルを用い、重量換算で1～100ppmのニッケルを含む酢酸ニッケル塩溶液をスピナーで塗布して触媒含有層103を形成する。この場合、当該溶液の馴染みをよくするために、非晶質構造を有する半導体膜102の表面処理として、オゾン含有水溶液で極薄い酸化膜を形成し、その酸化膜をフッ酸と過酸化水素水の混合液でエッチングして清浄な表面を形成した後、再度オゾン含有水溶液で処理して極薄い酸化膜を形成しておく。シリコンなど半導体膜の表面は本来疎水性なので、このように酸化膜を形成しておくことにより酢酸ニッケル塩溶液を均一に塗布することができる。

【0028】勿論、触媒含有層103はこのような方法に限定されず、スパッタリング法、蒸着法、プラズマ処理などにより形成しても良い。また、触媒含有層103は非晶質構造を有する半導体膜102を形成する前、即ちブロッキング層101上に形成しておいても良い。

【0029】非晶質構造を有する半導体膜102と触媒含有層103とを接触した状態を保持したまま結晶化のための加熱処理を行う。加熱処理の方法としては、電熱炉を用いるファーネスアニール法や、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどを用いた瞬間熱アニール(Rapid Thermal Annealing)法(LRTA法)を採用する。または、ガス加熱方式の瞬間熱アニール法(GRTA法)を採用する。生産性を考慮すると、LRTA法又はGRTA法を採用することが好ましいと考えられる。

【0030】LRTA法で行う場合には、加熱用のランプ光源を1～60秒、好ましくは30～60秒点灯させ、それを1～10回、好ましくは2～6回繰り返す。ランプ光源の発光強度は任意なものとするが、半導体膜が瞬間的には600～1000℃、好ましくは650～750℃程度にまで加熱されるようにする。このような高温になったとしても、半導体膜が瞬間的に加熱されるのみであり、基板100はそれ自身が歪んで変形することはない。こうして、非晶質構造を有する半導体膜を結晶化させ、図1(B)に示す結晶構造を有する半導体膜(第1の半導体膜)104を得ることができるが、このような処理で結晶化できるのは触媒含有層を設けることによりはじめて達成できるものである。

【0031】その他の方法としてファーンズアニール法を用いる場合には、加熱処理に先立ち、500℃にて1時間程度の加熱処理を行い、非晶質構造を有する半導体膜102が含有する水素を放出させておく。そして、電熱炉を用いて窒素雰囲気中にて550～600℃、好ましくは580℃で4時間の加熱処理を行い結晶化を行う。こうして、図1(B)に示す結晶構造を有する半導体膜(第1の半導体膜)104を形成する。

【0032】さらに結晶化率(膜の全体積又は面積当たりに占める結晶成分の割合)を高め、結晶粒内に残される欠陥を補修するためには、図1(C)で示すように結晶構造を有する半導体膜104に対して連続発振またはパルス発振のレーザー光を照射することも有効である。レーザーには波長400nm以下のエキシマレーザー光や、固体レーザーであるYAGレーザー、YVO<sub>4</sub>レーザー、YAlO<sub>3</sub>レーザーまたはYLFレーザーの第2高調波、第3高調波を用いる。連続発振レーザー光は、上述の固体レーザーの第2高調波、第3高調波を線状又は楕円状に集光し照射する。

【0033】連続発振型のYVO<sub>4</sub>レーザーを用いる場合には、波長変換素子により第2高調波に変換し、10Wのエネルギービームを1～100cm/secの速度で走査して結晶化させる。

【0034】パルス発振のエキシマレーザーを用いる場合には、繰り返し周波数10～1000Hz程度のパルスレーザー光を用い、当該レーザー光を光学系にて100～400mJ/cm<sup>2</sup>に集光し、90～95%のオーバーラップ率をもって結晶構造を有する半導体膜104に対するレーザー処理を行っても良い。

【0035】このようにして得られる結晶構造を有する半導体膜(第1の半導体膜)105には、触媒元素(ここではニッケル)が残存している。それは膜中において一様に分布していないにしろ、平均的な濃度とすれば、 $1 \times 10^{19}$ /cm<sup>3</sup>を越える濃度で残存している。勿論、このような状態でもTFTをはじめ各種半導体素子を形成することが可能であるが、以降に示す方法でゲッターリングにより当該元素を除去する。

【0036】まず、図1(D)に示すように結晶構造を有する半導体膜105の表面に薄いバリア層106を形成する。バリア層の厚さは特に限定されないが、簡便にはオゾン水で処理することにより形成されるケミカルオキシサイドで代用しても良い。また、硫酸、塩酸、硝酸などと過酸化水素水を混合させた水溶液で処理しても同様にケミカルオキシサイドを形成することができる。他の方法としては、酸化雰囲気中でのプラズマ処理や、酸素含有雰囲気中での紫外線照射によりオゾンが発生させて酸化処理を行っても良い。また、クリーンオープンを用い、200～350℃程度に加熱して薄い酸化膜を形成しバリア層としても良い。或いは、プラズマCVD法やスパッタリング法、蒸着法などで1～5nm程度の酸化膜を堆積してバリア層としても良い。

【0037】その上にプラズマCVD法や高周波スパッタリング法で半導体膜(第2の半導体膜)107を25～250nmの厚さで形成する。代表的には非晶質シリコン膜を選択する。この半導体膜107は後に除去するので、結晶構造を有する半導体膜105とエッチングの選択比を高くするため、密度の低い膜としておくことが望ましい。例えば、非晶質シリコン膜をプラズマCVD法で形成する場合には、基板温度を100～200℃程度として、膜中に水素を25～40原子%含ませておく。スパッタリング法を採用する場合も同様であり、基板温度を200℃以下としてアルゴンと水素の混合ガスでスパッタすることにより水素を多量に膜中に含ませることができる。また、スパッタリング法やプラズマCVD法で成膜時に希ガス元素を添加させておくと、膜中に希ガス元素を同時に取り込ませることができる。こうして取り込まれる希ガス元素をもっても、ゲッターリングサイトを形成することができる。

【0038】その後、イオンドープ法又はイオン注入法により、半導体膜107に希ガス元素が $1 \times 10^{20} \sim 2.5 \times 10^{22}$ /cm<sup>3</sup>の濃度で含まれるように添加する。加速電圧は任意なものとするが、希ガス元素であるため注入される希ガスのイオンが半導体膜107とバリア層106を通り抜け、一部が結晶構造を有する半導体膜105にまで達しても構わない。希ガス元素は半導体膜中でそれ自体は不活性であるため、半導体膜105の表面近傍において $1 \times 10^{13} \sim 1 \times 10^{20}$ /cm<sup>3</sup>程度の濃度で含まれている領域があっても、素子特性にさほど影響はない。

【0039】希ガス元素としてはヘリウム(He)、ネオン(Ne)、アルゴン(Ar)、クリプトン(Kr)、キセノン(Xe)から選ばれた一種または複数種を用いる。本発明はゲッターリングサイトを形成するためにこれら希ガス元素をイオンソースとして用い、イオンドープ法或いはイオン注入法で半導体膜に注入することに特徴を有している。これら希ガス元素のイオンを注入する意味は二つある。一つは注入によりダングリングボ

ンドを形成し半導体膜に歪みを与えることであり、他の一つは半導体膜の格子間に当該イオンを注入することで歪みを与えることである。不活性気体のイオンを注入はこの両者を同時に満たすことができるが、特に後者はアルゴン (Ar)、クリプトン (Kr)、キセノン (Xe) などシリコンより原子半径の大きな元素を用いた時に顕著に得られる。

【0040】ゲッターリングを確実に成し遂げるにはその後加熱処理をすることが必要となる。加熱処理はファーンেসアニール法やLRTA法又はGRTA法で行う。ファーンেসアニール法で行う場合には、窒素雰囲気中にて450～600℃で0.5～12時間の加熱処理を行う。また、LRTA法を用いる場合には、加熱用のランプ光源を1～60秒、好ましくは30～60秒点灯させ、それを1～10回、好ましくは2～6回繰り返す。ランプ光源の発光強度は任意なものとするが、半導体膜が瞬間的には600～1000℃、好ましくは700～750℃程度にまで加熱されるようにする。

【0041】ゲッターリングは、被ゲッターリング領域（捕獲サイト）にある触媒元素が熱エネルギーにより放出され、拡散によりゲッターリングサイトに移動する。従って、ゲッターリングは処理温度に依存し、より高温であるほど短時間でゲッターリングが進むことになる。図1

(E)において矢印で示すように、触媒元素が移動する方向は半導体膜の厚さ程度の距離であり、ゲッターリングは比較的短時間で完遂する。処理温度の上限は基板の耐熱性や、半導体膜107に含まれる希ガス元素が熱的に離脱しない温度を考慮する必要があるが、ガラス基板を用いる場合には、ファーンেসアニール法で行う場合には700℃以下、LRTA法又はGRTA法で行う場合には800℃以下とすべきである。勿論、石英基板を用いる場合には、瞬間的に1000℃まで加熱することもできる。

【0042】尚、この加熱処理によっても $1 \times 10^{20}/\text{cm}^3$ 以上の濃度で希ガス元素を含む半導体膜107は結晶化することはない。これは、希ガス元素が上記処理温度の範囲においても再放出されず膜中に残存して、半導体膜の結晶化を阻害するためであると考えられる。

【0043】その後、非晶質半導体107を選択的にエッチングして除去する。エッチングの方法としては、 $\text{CF}_3$ によるプラズマを用いないドライエッチング、或いはヒドラジンや、テトラエチルアンモニウムハイドロオキシド（化学式  $(\text{CH}_3)_4\text{NOH}$ ）を含む水溶液などアルカリ溶液によるウェットエッチングで行うことができる。この時バリア層106はエッチングストップパーとして機能する。また、バリア層106はその後フッ酸により除去すれば良い。

【0044】こうして図1(F)に示すように触媒元素の濃度が $1 \times 10^{17}/\text{cm}^3$ 以下にまで減じられた結晶構造を有する半導体膜108を得ることができる。こうして

形成された結晶構造を有する半導体膜108は、触媒元素の作用により細い棒状又は細い扁平棒状結晶として形成され、その各々の結晶は巨視的に見ればある特定の方向性をもって成長している。このような結晶構造を有する半導体膜108はTFTの活性層のみでなく、フォトセンサや太陽電池の光電変換層にも適用することができる。また、SOI(Silicon on Insulator)構造の半導体層に対するゲッターリング処理に適用することもできる。

【0045】[実施の形態2]図11は本発明の一実施形態を説明する図であり、加熱処理により結晶構造を有する半導体膜を形成した後、ゲッターリングを行い、さらにレーザー光など強光の照射により結晶性を向上させる方法について説明する。尚、図11では実施の形態1において説明に用いた図1と共通する符号を用いて説明する。

【0046】図11(A)及び図11(B)は実施の形態1と同様の工程であり、基板100上にブロッキング層101、非晶質構造を有する半導体膜102、触媒元素を含有する層103を形成した後、加熱処理により結晶構造を有する半導体膜104を形成する。

【0047】その後、図11(C)に示すように、結晶構造を有する半導体膜（第1の半導体膜）104の表面にバリア層106を形成し、さらに半導体膜107を形成する。半導体膜107には希ガス元素をイオン注入法又はイオンドープ法で $1 \times 10^{20} \sim 2.5 \times 10^{22}/\text{cm}^3$ の濃度で含まれるように添加する。

【0048】そして、図11(D)に示すように加熱処理をファーンেসアニール法やLRTA法又はGRTA法で行う。ファーンেসアニール法で行う場合には、窒素雰囲気中にて450～600℃で0.5～12時間の加熱処理を行う。また、LRTA法を用いる場合には、加熱用のランプ光源を1～60秒、好ましくは30～60秒点灯させ、それを1～10回、好ましくは2～6回繰り返す。ランプ光源の発光強度は任意なものとするが、半導体膜が瞬間的には600～1000℃、好ましくは700～750℃程度にまで加熱されるようにする。また、連続発振またはパルス発振のYAGレーザー、YLFレーザー、YVO<sub>4</sub>レーザーの第2高調波（波長532nm）を照射してもゲッターリングを行うことができる。ゲッターリングは、捕獲サイトにある触媒元素が熱エネルギーにより放出され、拡散によりゲッターリングサイトに移動する。従って、ゲッターリングは処理温度に依存し、より高温であるほど短時間でゲッターリングが進むことになる。図11(D)において矢印で示すように、触媒元素が移動する方向は半導体膜の厚さ程度の距離であり、ゲッターリングは比較的短時間で完遂する。

【0049】尚、この加熱処理によっても、 $1 \times 10^{20}/\text{cm}^3$ 以上の濃度で希ガス元素を含む半導体膜（第2の半導体膜）107は結晶化することはない。これは、希ガス元素が上記処理温度の範囲においても再放出されず膜

中に残存して、半導体膜の結晶化を阻害するためであると考えられる。

【0050】その後、半導体膜107を選択的にエッチングして除去する。エッチングの方法としては、 $\text{CF}_3$ によるプラズマを用いないドライエッチング、或いはヒドラジンや、テトラエチルアンモニウムヒドロキシサイド（化学式  $(\text{CH}_3)_4\text{NOH}$ ）を含む水溶液などアルカリ溶液によるウェットエッチングで行うことができる。この時バリア層106はエッチングストッパーとして機能する。また、バリア層106はその後フッ酸により除去すれば良い。

【0051】さらに結晶化率（膜の全体積における結晶成分の割合）を高め、結晶粒内に残される欠陥を補修するためには、図11（E）で示すように結晶構造を有する半導体膜104に対してレーザー光を照射することも有効である。レーザーには波長400nm以下のエキシマレーザー光や、YAGレーザーの第2高調波、第3高調波を用いる。いずれにしても、繰り返し周波数10～1000Hz程度のパルスレーザー光を用い、当該レーザー光を光学系にて100～400mJ/cm<sup>2</sup>に集光し、90～95%のオーバーラップ率をもって照射し、結晶構造を有する半導体膜111を形成する。

【0052】[実施の形態3]図14は本発明の一実施形態を説明する図であり、非晶質構造を有する半導体膜の全面に触媒作用のある金属元素を全面に添加し結晶化すると共にゲッタリングを同時に行う方法である。

【0053】まず、図14（A）に示すように、ブロッキング層301上に触媒元素含有層302を形成する。これは、触媒元素を含む水溶液またはアルコール液をスピナーで塗布しても良いし、スパッタリング法、蒸着法、プラズマ処理などにより形成しても良い。

【0054】その後、図14（B）に示すように非晶質構造を有する半導体膜（第1の半導体膜）303を、プラズマCVD法や減圧CVD法、或いはスパッタリング法で10～100nmの厚さに形成する。さらにバリア層304を形成する。これらの形成方法は実施の形態1と同様にする。

【0055】図14（C）で示すように、その上にプラズマCVD法やスパッタリング法で半導体膜（第2の半導体膜）305を25～250nmの厚さで形成する。代表的には非晶質シリコン膜を選択する。この半導体膜305は、やはり後に除去するので、密度の低い膜としておくことが望ましい。

【0056】その後、イオンドーピング法又はイオン注入法により、半導体膜305に希ガス元素が $1 \times 10^{20} \sim 2.5 \times 10^{22}/\text{cm}^3$ の濃度で含まれるように添加する。加速電圧は任意なものとするが、希ガス元素であるため注入される希ガスのイオンが半導体膜305とバリア層304を通り抜け、一部が非晶質構造を有する半導体膜303にまで達しても構わない。希ガス元素は半導体膜

中でそれ自体は不活性であるため、当該半導体膜303の表面近傍において $1 \times 10^{18} \sim 1 \times 10^{20}/\text{cm}^3$ 程度の濃度で含まれている領域があっても、素子特性にさほど影響はない。

【0057】そして、図14（D）に示すように加熱処理を行う。加熱処理の方法としては、電熱炉を用いるファーネスアニール法や、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどを用いたLRTA法で行う。又は、窒素、アルゴンなどを加熱媒質として用いるGRTA法で行う。

【0058】LRTA法で行う場合には、加熱用のランプ光源を1～60秒、好ましくは30～60秒点灯させ、それを1～10回、好ましくは2～6回繰り返す。ランプ光源の発光強度は任意なものとするが、半導体膜が瞬間的には600～1000℃、好ましくは650～750℃程度にまで加熱されるようにする。このような高温になったとしても、半導体膜が瞬間的に加熱されるのみであり、基板100はそれ自身が歪んで変形することはない。また、ファーネスアニール法を用いる場合には、加熱処理に先立ち、500℃にて1時間程度の加熱処理を行い、非晶質構造を有する半導体膜303が含有する水素を放出させておく。そして、電熱炉を用いて窒素雰囲気中にて550～600℃、好ましくは580℃で4時間の加熱処理を行い結晶化を行う。

【0059】この加熱処理により、触媒元素が非晶質構造を有する半導体膜303に染みだし、結晶化させながら半導体膜305に向かって（図14（D）の矢印307の方向）拡散する。これにより1回の加熱処理で結晶化とゲッタリングが同時に行われる。

【0060】その後、半導体膜305を選択的にエッチングして除去する。エッチングの方法としては、 $\text{CF}_3$ によるプラズマを用いないドライエッチング、或いはヒドラジンや、テトラエチルアンモニウムヒドロキシサイド（化学式  $(\text{CH}_3)_4\text{NOH}$ ）を含む水溶液などアルカリ溶液によるウェットエッチングで行うことができる。この時バリア層304はエッチングストッパーとして機能する。また、バリア層304はその後フッ酸により除去すれば良い。

【0061】図14（E）に示すように触媒元素の濃度が $1 \times 10^{17}/\text{cm}^3$ 以下にまで減じられた結晶構造を有する半導体膜（第1の半導体膜）306を得ることができる。この結晶構造を有する半導体膜306の結晶性を高めるためには、実施の形態1と同様にレーザー光を照射しても良い。

【0062】こうして形成される結晶構造を有する半導体膜306は、触媒元素の作用により細い棒状又は細い扁平棒状結晶として形成され、その各々の結晶は巨視的に見ればある特定の方向性をもって成長している。このような結晶構造を有する半導体膜306はTFTの活性



層のみでなく、フォトセンサや太陽電池の光電変換層にも適用することができる。

【0063】[実施の形態4]実施の形態1又は2において、基板101にブロッキング層、非晶質構造を有する半導体膜102を形成した後、図2に示すように、非晶質構造を有する半導体膜102の表面に薄いバリア層109を形成し、イオンドープ法またはイオン注入法により $1 \times 10^{16} \sim 1 \times 10^{18}/\text{cm}^3$ 程度のアクセプタ又はドナーを添加しても良い。これは、非晶質構造を有する半導体膜102が結晶化した後の半導体膜の価電子制御を目的としたものであり、例えば、TFETのしきい値電圧を制御する場合に適用することができる。

【0064】その後は実施に形態1又は2と同様にして結晶構造を有する半導体膜を形成すれば良い。或いは、実施の形態3と同様にして図14(B)以降の工程を行い、結晶構造を有する半導体膜を形成すれば良い。

【0065】[実施の形態5]実施の形態1乃至3において、図3に示すように結晶構造を有する半導体膜を形成した後に、イオンドープ法またはイオン注入法により $1 \times 10^{16} \sim 1 \times 10^{18}/\text{cm}^3$ 程度のアクセプタ又はドナーを添加しても良い。これは、結晶構造を有する半導体膜の価電子制御を目的としたものであり、実施の形態4と同様に、TFETのしきい値電圧を制御する場合に適用することができる。

【0066】ここで添加された一導電型の不純物元素は、400～600℃に加熱処理により活性化し、アクセプタ又はドナーとして機能させることができる。

【0067】

【実施例】[実施例1]本発明を用いて同一基板上に画素部と、画素部の周辺に設ける駆動回路のTFET(nチャネル型TFET及びpチャネル型TFET)を同時に作製する方法の一例について図4乃至図8と図10を用いて説明する。

【0068】図4(A)において、基板201はガラス基板、石英基板、セラミック基板などを用いることができる。また、シリコン基板、金属基板またはステンレス基板の表面に絶縁膜を形成したものをを用いても良い。ガラス基板を用いる場合には、厚さが0.5～1.1mmのものが採用されるが、軽量化を目的とすると厚さは薄くする必要がある。また、さらに軽量化を図るには比重が2.37g/ccと小さいものを採用することが望ましい。

【0069】そして、図4(A)に示すように基板201上に酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜( $\text{SiO}_x\text{N}_y$ )等の絶縁膜から成るブロッキング層202を形成する。代表的な一例はブロッキング層202として2層構造から成り、 $\text{SiH}_4$ 、 $\text{NH}_3$ 、及び $\text{N}_2\text{O}$ を反応ガスとして成膜される第1酸化窒化シリコン膜202aを50～100nm、 $\text{SiH}_4$ 、及び $\text{N}_2\text{O}$ を反応ガスとして成膜される第2酸化窒化シリコン膜202bを100～150nmの厚さに積層形成する構造が

採用される。

【0070】活性層とする半導体膜は、実施の形態1乃至5のいずれかにより作製される結晶構造を有する半導体膜を用い、それを島状に分割して半導体膜203～206を形成する。この半導体膜の厚さは20～100nm、好ましくは30～60nmとする。

【0071】次いで、島状に分離された半導体層203～206を覆うゲート絶縁膜207を形成する。ゲート絶縁膜207は、プラズマCVD法やスパッタリング法で形成し、その厚さを40～150nmとしてシリコンを含む絶縁膜で形成する。勿論、このゲート絶縁膜は、シリコンを含む絶縁膜を単層或いは積層構造として用いることができる。酸化シリコン膜を用いる場合には、プラズマCVD法でTEOS(Tetraethyl Ortho Silicate)と $\text{O}_2$ を混合し、反応圧力40Pa、基板温度300～400℃とし、高周波(13.56MHz)電力密度0.5～0.8W/cm<sup>2</sup>で放電させて形成することができる。このようにして作製される酸化シリコン膜は、形成後400～500℃の熱アニールによりゲート絶縁膜として良好な特性を得ることができる。

【0072】ゲート絶縁膜207上には膜厚20～100nmの第1の導電膜として窒化タンタル(TaN)208と、膜厚100～400nmの第2の導電膜としてタングステン(W)209とを積層形成する。ゲート電極を形成するための導電性材料としてはTa、W、Ti、Mo、Al、Cuから選ばれた元素、または前記元素を主成分とする合金材料もしくは化合物材料で形成する。また、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いてもよい。また、第1の導電膜をタンタル(Ta)膜で形成し、第2の導電膜をW膜とする組み合わせ、第1の導電膜を窒化タンタル(TaN)膜で形成し、第2の導電膜をAl膜とする組み合わせ、第1の導電膜を窒化タンタル(TaN)膜で形成し、第2の導電膜をCu膜とする組み合わせとしてもよい。

【0073】次に、図4(B)に示すように光露光工程によりレジストからなるマスク210を形成し、ゲート電極及び配線を形成するための第1のエッチング処理を行う。エッチングにはICP(Inductively Coupled Plasma:誘導結合型プラズマ)エッチング法を用いると良い。用いるエッチング用ガスに限定はないが、WやTaのNのエッチングには $\text{CF}_4$ と $\text{Cl}_2$ と $\text{O}_2$ とを用いることが適している。それぞれのガス流量比を25/25/10(SCCM)とし、1Paの圧力でコイル型の電極に500WのRF(13.56MHz)電力を投入してプラズマを生成してエッチングを行う。基板側(試料ステージ)にも150WのRF(13.56MHz)電力を投入し、実質的に負の自己バイアス電圧を印加する。この第1のエッチング条件によりW膜をエッチングして第1の導電層の端部をテーパ形状とする。

【0074】この後、第2のエッチング条件に変え、エッチング用ガスに $\text{CF}_4$ と $\text{Cl}_2$ とを用い、それぞれのガス流量比を30/30(SCCM)とし、1Paの圧力でコイル型の電極に500WのRF(13.56MHz)電力を投入してプラズマを生成して約30秒程度のエッチングを行う。基板側(試料ステージ)にも20WのRF(13.56MHz)電力を投入し、実質的に負の自己バイアス電圧を印加する。 $\text{CF}_4$ と $\text{Cl}_2$ を混合した第2のエッチング条件ではW膜及びTa<sub>2</sub>N膜とも同程度にエッチングされる。なお、ゲート絶縁膜上に残渣を残すことなくエッチングするためには、10~20%程度の割合でエッチング時間を増加させると良い。

【0075】この第1のエッチング処理では、レジストからなるマスクの形状を適したものとすることにより、基板側に印加するバイアス電圧の効果により第1の導電層及び第2の導電層の端部がテーパ形状となる。この第1のエッチング処理により第1の導電層と第2の導電層から成る第1の形状の導電層211~215(第1の導電層211a~215aと第2の導電層211b~215b)を形成する。ゲート絶縁膜は、第1の形状の導電層211~215で覆われない領域が20~50nm程度エッチングされ薄くなる。

【0076】そして、第1形状の導電層をマスクとして第1のn型半導体領域を形成する。これを形成するための第1のドーピング処理におけるイオンドーピング法の条件は、ドーズ量を $5 \times 10^{14} \sim 5 \times 10^{15}/\text{cm}^2$ (代表的には $1 \times 10^{15}/\text{cm}^2$ )とし、加速電圧を60~100keVとして燐をドーピングする。ここでは、第1形状の導電層211~215及びゲート絶縁膜の膜厚の差を利用して各半導体層に不純物領域を行う。こうして、第1のn型半導体領域216~219を形成する。この第1のn型半導体領域には $1 \times 10^{20} \sim 1 \times 10^{21}/\text{cm}^3$ の濃度範囲で燐が添加されている。

【0077】次に、レジストからなるマスク210を除去せずに図5(A)に示すように第2のエッチング処理を行う。エッチング用ガスに $\text{CF}_4$ と $\text{Cl}_2$ と $\text{O}_2$ とを用い、それぞれのガス流量比を20/20/20(SCCM)とし、1Paの圧力でコイル型の電極に500WのRF(13.56MHz)電力を投入してプラズマを生成してエッチングを行う。基板側(試料ステージ)には20WのRF(13.56MHz)電力を投入し、第1のエッチング処理に比べ低い自己バイアス電圧を印加する。この第3のエッチング条件によりW膜をエッチングする。こうして、W膜を異方性エッチングして第2の形状の導電層220~224(第1の導電層220a~224aと第2の導電層220b~224b)を形成する。第2の形状の導電層220~224で覆われないゲート絶縁膜はさらに20~50nm程度エッチングされ薄くなる。

【0078】そして、レジストからなるマスクを除去せずに第2のドーピング処理を行い、半導体層にドナーと

なる燐を添加する。ドーピング処理はイオンドーピング法、もしくはイオン注入法で行えば良い。イオンドーピング法の条件はドーズ量を $1.5 \times 10^{14}/\text{cm}^2$ とし、加速電圧を60~100keVとして行う。この場合、第2形状の導電層220b~223bが燐に対するマスクとなり、自己整合的に第2のn型半導体領域225~228が形成される。この領域には $1 \times 10^{16} \sim 1 \times 10^{18}/\text{cm}^3$ の濃度範囲で燐など周期表15属の不純物元素を添加する。

【0079】その後、マスク229を形成し、第3のエッチング処理を行う。エッチング用ガスに $\text{SF}_6$ と $\text{Cl}_2$ とを用い、それぞれのガス流量比を50/10(SCCM)とし、1.3Paの圧力でコイル型の電極に500WのRF(13.56MHz)電力を投入してプラズマを生成して約30秒のエッチングを行う。基板側(試料ステージ)には10WのRF(13.56MHz)電力を投入し、実質的に負の自己バイアス電圧を印加する。こうして、前記第3のエッチング条件により第2形状の導電層220a及び222a~224aをエッチングして第3の形状の導電層230~233(第1の導電層230a~233aと第2の導電層230b~233b)を形成する。

【0080】次いで、新たにレジストからなるマスク250を形成して図5(C)に示すように第3のドーピング処理を行う。この第3のドーピング処理により、第1のp型半導体領域234、235が形成される。p型半導体領域を形成するために添加されたボロンの濃度は $1 \times 10^{20} \sim 5 \times 10^{21}/\text{cm}^3$ であり先の工程で添加された燐濃度よりも1.5~3倍高い濃度とする。

【0081】以上までの工程でそれぞれの半導体層にn型またはp型の半導体領域が形成される。第2の形状の導電層221及び、第3の形状の導電層230、231はゲート電極となる。また、第2の形状の導電層232は画素部において保持容量を形成する一方の電極となる。さらに、第3の形状の導電層233は画素部においてデータ線を形成する。

【0082】次いで、ほぼ全面を覆う第1の層間絶縁膜237を形成する。この第1の層間絶縁膜237は、プラズマCVD法またはスパッタリング法を用い、厚さを100~200nmとして形成する。その好適な一例は、プラズマCVD法により形成される膜厚150nmの酸化窒化シリコン膜である。勿論、第1の層間絶縁膜237は酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。

【0083】その後、それぞれの半導体層に添加された不純物元素を活性化処理する工程を行う。この活性化はファーンズアニール法やLRTA法又GRTA法、レーザー光の照射しより行うことができる。ファーンズアニール法では電熱炉を用い、窒素雰囲気中で400~700℃、代表的には500℃にて4時間の加熱処理を行

う。レーザー光の照射により活性化を行うには、YAGレーザーの第2高調波(532nm)を用い、基板側から照射する。これは、第2形状の導電層221と重なる第2のn型半導体領域を十分活性化させるためである。勿論、これはランプ光源を用いるLRTA法でも同様であり、基板の両面又は基板側からランプ光源の輻射により半導体膜を加熱する。

【0084】その後、図6(B)に示すように、プラズマCVD法で窒化シリコンから成る第2の層間絶縁膜238を形成し、クリーンオープンを用いて410℃の熱処理を行い、窒化シリコン膜から放出される水素で半導体膜の水素化を行う。

【0085】次いで、図7(A)に示すように、第2の層間絶縁膜238上に有機絶縁物材料から成る第3の層間絶縁膜239を形成する。次いで、データ線224に達するコンタクトホールと各不純物領域に達するコンタクトホールを形成する。その後、Al、Ti、Mo、Wなどを用いて配線及び画素電極を形成する。例えば、膜厚50~250nmのTi膜と、膜厚300~500nmの合金膜(AlとTiとの合金膜)との積層膜を用いる。こうして、ソースまたはドレイン配線240、241、ゲート配線243、接続配線242、画素電極224が形成される。

【0086】以上のようにして、同一基板上にpチャネル型TFT303、nチャネル型TFT304から成る駆動回路301と、nチャネル型TFT305から成る画素部302を形成することができる。nチャネル型TFT305はマルチゲート構造を有している。また、画素部302には半導体膜206、ゲート絶縁膜236と同層で形成される絶縁膜、第3形状の導電層232からなる補助容量306が形成されている。

【0087】駆動回路301のpチャネル型TFT303にはチャネル形成領域245、ゲート電極を形成する第3の形状の導電層230の外側に第1のp型半導体領域234(ソース領域またはドレイン領域として機能する領域)が形成されたいわゆるシングルドレイン構造を有している。nチャネル型TFT304はチャネル形成領域246、第2の形状の導電層221と一部が重なる第2のn型半導体領域226(LDD領域)と、ソース領域またはドレイン領域として機能する第1のn型半導体領域217を有している。このようなLDD領域の構成は、主にホットキャリア効果によるTFTの劣化を防ぐことを目的としている。このようなnチャネル型TFT及びpチャネル型TFTによりシフトレジスタ回路、バッファ回路、レベルシフト回路、ラッチ回路などを形成することができる。特に、駆動電圧が高いバッファ回路には、ホットキャリア効果による劣化を防ぐ目的から、nチャネル型TFT304の構造が適している。

【0088】画素部302のnチャネル型TFT305にはチャネル形成領域247、第3の形状の導電層23

1の外側に形成される第2のn型半導体領域227と、ソース領域またはドレイン領域として機能する第1のn型半導体領域218を有している。また、補助容量306の一方の電極として機能する半導体層206には第1のp型半導体領域235が形成されている。

【0089】画素部において、244は画素電極であり、242はデータ線224と半導体膜205の第1のn型半導体領域とを接続する接続電極である。また、243はゲート配線であり、図中には示されていないが、ゲート電極として機能する第3形状の導電層231と接続している。

【0090】補助容量306の構成は、図7(B)で示すように半導体膜206、ゲート絶縁膜236、容量電極(第3形状の導電層)232で形成され、隣接する画素のゲート配線249と接続されている。

【0091】このような画素部302の上面図を図8に示す。図8ではほぼ一画素分の上面図を示し、付与する符号は図7(A)と共通なものとしている。また、A-A'及びB-B'線の断面構造が図7(A)及び図7(B)に対応している。図8の画素構造において、ゲート配線とゲート電極とを異なる層上に形成することにより、ゲート配線243と半導体層205を重畳させることが可能となり、ゲート配線に遮光膜としての機能が付加されている。また、画素電極間の隙間が遮光されるように、画素電極244の端部をデータ線233と重なるように配置され、遮光膜(ブラックマトリクス)の形成を省略できる構造としている。その結果、従来に比べ開口率を向上させることが可能となっている。

【0092】本実施例で形成される駆動回路301、画素部302を備えた基板を便宜上アクティブマトリクス基板と呼ぶ。このようなアクティブマトリクス基板を用いて、アクティブマトリクス駆動をする表示装置を形成することができる。ここでは画素電極を光反射性の材料で形成したため、液晶表示装置に適用すれば反射型の表示装置を形成することができる。このような基板から液晶表示装置や有機発光素子で画素部を形成する発光装置を形成することができる。図10はTFTによって駆動回路と画素部が形成されているアクティブマトリクス基板の外観を説明する図である。基板501上には画素部506、駆動回路504、505が形成されている。また、基板の一方の端部には入力端子502が形成され、各駆動回路に接続する配線503が引き回されている。

【0093】[実施例2]本実施例では透過型の表示装置を形成するためのアクティブマトリクス基板の構成について図9を用いて説明する。図9では実施例1で形成されるアクティブマトリクス基板の画素部302の構成を示している。nチャネル型TFT305や補助容量306は実施例1と同様にして形成される。

【0094】透過型に対応したアクティブマトリクス基板を形成するには、透光性の画素電極を形成する必要が

ある。実施例1において、第3の層間絶縁膜239にコンタクトホールを形成した後、ITOなどを用いて透光性の画素電極250を形成する。その後、接続電極242やゲート線243、及びnチャネル型TFT305の第1のn型半導体領域と画素電極250と接続する接続配線251、補助容量306の一方の電極を形成する半導体膜206と画素電極250を接続する接続配線252を形成する。このような構成により透過型の表示装置に対応したアクティブマトリクス基板を形成することができる。

【0095】[実施例3]本実施例では、実施例1で作製したアクティブマトリクス基板から、アクティブマトリクス駆動の液晶表示装置を作製する工程を以下に説明する。説明には図12を用いる。

【0096】まず、実施例1に従い、図7(A)の状態のアクティブマトリクス基板を得た後、そのアクティブマトリクス基板上に配向膜604を形成しラビング処理を行う。なお、図示しないが、配向膜604を形成する前に、アクリル樹脂膜等の有機樹脂膜をパターンニングすることによって基板間隔を保持するための柱状のスペーサを所望の位置に形成しておいても良い。また、柱状のスペーサに代えて、球状のスペーサを基板全面に散布してもよい。

【0097】次いで、対向基板601上に対向電極602を形成し、対向基板601の全面に配向膜603を形成しラビング処理を施す。対向電極602はITOで形成する。そして、画素部と駆動回路が形成されたアクティブマトリクス基板と対向基板とをシール剤(図示せず)で貼り合わせる。シール剤にはフィラーが混入されていて、このフィラーとスペーサによって均一な間隔を持って2枚の基板が貼り合わせられる。その後、両基板の間に液晶材料605を注入し、封止剤(図示せず)によって完全に封止する。液晶材料には公知の液晶材料を用いれば良い。このようにして図12に示すアクティブマトリクス駆動の液晶表示装置が完成する。

【0098】[実施例4]図13はアクティブマトリクス駆動方式の発光装置の構造を示す一例である。ここで示す駆動回路部650のnチャネル型TFT652、pチャネル型TFT653、及び画素部651のスイッチング用TFT654、電流制御用TFT655は実施例1と同様にして作製されるものである。

【0099】ゲート電極608~611の上層には、窒化シリコン、酸化窒化シリコンからなる第1の層間絶縁膜618が形成され、保護膜として用いている。さらに平坦化膜として、ポリイミドまたはアクリルなど有機樹脂材料から成る第2の層間絶縁膜619を形成している。

【0100】駆動回路部650の回路構成は、ゲート信号側駆動回路とデータ信号側駆動回路とで異なるがここでは省略する。nチャネル型TFT652及びpチャネ

ル型TFT653には配線612、613が接続し、これらのTFTを用いてシフトレジスタやラッチ回路、バッファ回路などを形成している。

【0101】画素部651では、データ配線614がスイッチング用TFT654のソース側に接続し、ドレイン側の配線615は電流制御用TFT655のゲート電極611と接続している。また、電流制御用TFT655のソース側は電源供給配線617と接続し、ドレイン側の電極616が発光素子の陽極と接続している。

【0102】これらの配線上には窒化シリコンなどの有機絶縁材料から成る第2の層間絶縁膜627を形成している。有機樹脂材料は吸湿性があり、 $H_2O$ を吸蔵する性質を持っている。その $H_2O$ が再放出されると有機化合物に酸素を供給し、有機発光素子を劣化させる原因となるので、 $H_2O$ の吸蔵及び再放出を防ぐために、第2の層間絶縁膜627の上に窒化シリコンまたは酸化窒化シリコンから成る第3絶縁膜620を形成する。或いは、第2の層間絶縁膜627を省略して、第3絶縁膜620の一層のみでこの層を形成することも可能である。

【0103】有機発光素子656は第3絶縁膜620上に形成し、ITO(酸化インジウム・スズ)などの透明導電性材料で形成する陽極621、正孔注入層、正孔輸送層、発光層などを有する有機化合物層623、MgAgやLiFなどのアルカリ金属またはアルカリ土類金属などの材料を用いて形成する陰極624とから成っている。有機化合物層623の詳細な構造は任意なものとするが、その一例は実施の形態2において図5で示されている。

【0104】有機化合物層623や陰極624はウェット処理(薬液によるエッチングや水洗などの処理)を行うことができないので、陽極621に合わせて、有機絶縁膜619上に感光性樹脂材料で形成される隔壁層622を設ける。隔壁層622は陽極622の端部を被覆するように形成する。具体的には、隔壁層622はネガ型のレジストを塗布し、バーク後に1~2 $\mu m$ 程度の厚さとなるように形成する。その後、所定のパターンを設けたフォトマスクを用い紫外線を照射して露光する。透過率の悪いネガ型のレジスト材料を用いると、膜の厚さ方向で感光される割合が変化し、これを現像すると隔壁層の形態は、上部が基板表面と平行な方向に突出する形状(いわゆるオーバーハング形状)とすることができる。勿論、このような隔壁層は、感光性のポリイミドなどを用いて形成することも可能である。

【0105】陰極624は、仕事関数の小さいマグネシウム(Mg)、リチウム(Li)若しくはカルシウム(Ca)を含む材料を用いる。好ましくはMgAg(MgとAgをMg:Ag=10:1で混合した材料)でなる電極を用いれば良い。他にもMgAgAl電極、LiAl電極、また、LiFAI電極が挙げられる。さらにその上層には、窒化シリコンまたは、DLC膜で第4絶

緑膜625を2~30nm、好ましくは5~10nmの厚さで形成する。DLC膜はプラズマCVD法で形成可能であり、100℃以下の温度で形成しても、被覆性良く隔壁層622の端部を覆って形成することができる。DLC膜の内部応力は、酸素や窒素を微量に混入させることで緩和することが可能であり、保護膜として用いることが可能である。そして、DLC膜は酸素をはじめ、CO、CO<sub>2</sub>、H<sub>2</sub>Oなどのガスバリア性が高いことが知られている。第4絶縁膜625は、陰極624を形成した後、大気解放しないで連続的に形成することが望ましい。陰極624と有機化合物層623との界面状態は有機発光素子の発光効率に大きく影響するからである。

【0106】このように、隔壁層622に接することなく有機化合物層623、陰極層624を形成し有機発光素子を形成することで熱応力によるクラックの発生を防ぐことが可能となる。また、有機発光素子656は酸素やH<sub>2</sub>Oを最も嫌うため、それをブロッキングするために窒化シリコンまたは酸化窒化シリコン及びDLC膜625が形成されている。また、これらは有機発光素子656が有するアルカリ金属元素を外に出さないための機能も有している。

【0107】図13ではスイッチング用TFT654をマルチゲート構造とし、電流制御用TFT655にはゲート電極とオーバーラップする低濃度ドレイン(LDD)を設けている。多結晶シリコンを用いたTFTは、高い動作速度を示すが故にホットキャリア注入などの劣化も起こりやすい。そのため、図6のように、画素内において機能に応じて構造の異なるTFT(オフ電流の十分に低いスイッチング用TFTと、ホットキャリア注入に強い電流制御用TFT)を形成することは、高い信頼性を有し、且つ、良好な画像表示が可能な(動作性能の高い)表示装置を作製する上で非常に有効である。

【0108】図13で示すように、TFT654、655を形成する半導体膜の下層側(基板601側)には、第1絶縁膜602が形成されている。その反対の上層側には第2絶縁膜618が形成されている。一方、有機発光素子656の下層側には第3絶縁膜620が形成されている。上層側には第4絶縁膜625が形成される。そして、その両者の間には有機絶縁膜619が形成され、一体化されている。TFT654、655が最も嫌うナトリウムなどのアルカリ金属は、汚染源として基板601や有機発光素子656が考えられるが、第1絶縁膜602と第2絶縁膜618で囲むことによりブロッキングしている。一方、有機発光素子656は酸素やH<sub>2</sub>Oを最も嫌うため、それをブロッキングするために第3絶縁膜620、第4絶縁膜625が形成されている。これらは有機発光素子656が有するアルカリ金属元素を外に出さないための機能も有している。

【0109】図13で示すような構造の有機発光装置において、効率的な作製方法の一例は、第3絶縁膜62

0、ITOに代表される透明導電膜で作製される陽極621をスパッタリング法により連続成膜する工程を採用できる。有機絶縁膜619の表面に著しいダメージを与えることなく、緻密な窒化シリコン膜または酸化窒化シリコン膜を形成するにはスパッタリング法は適している。

【0110】以上のように、TFTと有機発光装置を組み合わせて画素部を形成し、発光装置を完成させることができる。このような発光装置はTFTを用いて駆動回路を同一基板上に形成することもできる。図13で示すように、TFTの主要構成要素である半導体膜、ゲート絶縁膜及びゲート電極は、その下層側及び上層側を窒化シリコンまたは酸化窒化シリコンから成るブロッキング層と保護膜により囲むことにより、アルカリ金属や有機物の汚染を防ぐ構造を有している。一方有機発光素子はアルカリ金属を一部に含み、窒化シリコンまたは酸化窒化シリコンから成る保護膜と、窒化シリコンまたは炭素を主成分とする絶縁膜から成るガスバリア層とで囲まれ、外部から酸素やH<sub>2</sub>Oが浸入することを防ぐ構造を有している。

【0111】このように、本発明は不純物に対する特性の異なる素子を組合せ、お互いが干渉することなく発光装置を完成させることができる。さらに応力による影響を排除して信頼性を向上させることができる。

【0112】[実施例5]触媒作用のある金属元素を結晶化後の半導体膜から除去する能力は、ゲッタリングの加熱温度や時間の他に、当該半導体膜の結晶化率(被膜の体積又は面積当たりに占める結晶化領域の割合)に依存する。

【0113】非晶質シリコン膜にニッケルを添加して加熱時間を変化させて結晶化率が異なる試料を作製した。具体的には、GRTA法により加熱処理温度を650℃(昇温時間3分30秒)として、加熱時間を変えて作製した試料の結晶化率の一例を図17と図18に示す。図17は非晶質領域と結晶化領域とで光透過率が異なることを利用して光学顕微鏡で観察し、その面積比率を結晶化率としてプロットした結果を示している。図18はラマン分光スペクトルから求めたTO(a-Si:480cm<sup>-1</sup>)とTO(c-Si:520cm<sup>-1</sup>付近)のピーク強度比を熱処理時間に対しプロットした結果である。結晶化率はおよそ95~99.9%の範囲で変化している。

【0114】ゲッタリングはレーザー光(XeClエキシマレーザー、480mJ/cm<sup>2</sup>)を照射した後に行った。レーザー光の照射により結晶化率はほぼ100%となっている。この状態で、625℃と650℃(各昇温時間3分30秒)で3分間のゲッタリング処理をした場合の残留ニッケル濃度について調べた。ニッケル濃度はTXRF(Total Reflection X-Ray Fluorescence:全反射蛍光X線分光)により測定した。図19は625℃でゲッタリングした結果であり、結晶化率が高いと残留ニッケ

ル濃度はバラツキが大きくしかも高くなっている。一方、図20に示すように650℃でゲッタリングした場合には相関は見られない。

【0115】レーザー光の照射前の結晶化率に依存して、その値が非常に高い場合において残留ニッケル濃度が増加するのは、結晶粒界にシリサイド化したニッケルが析出しその析出量が増加してニッケル又はニッケルシリサイドの析出物が大きくなる為であると考えられる。ゲッタリング時の温度が低下するとゲッタリングサイトにニッケルが移動しにくくなることを示している。従って、ゲッタリングにおける処理条件の許容範囲を広げるという観点からは、結晶化率を規定することが望ましく、95～99%程度とすると良いことが解る。

【0116】[実施例6]触媒作用のある金属元素を結晶化後のシリコン膜から除去できる度合いは、ゲッタリングの加熱温度や時間の他に、当該半導体膜の結晶化率（被膜の体積又は面積当たりに占める結晶化領域の割合）に依存する。本実施例ではゲッタリング特性に関し、レーザー照射条件依存性についての一例を示す。

【0117】図21は、結晶化を促進する金属元素として添加したニッケルの濃度分布を、二次イオン質量分析法により測定した結果を示している。試料であるシリコン膜は、ニッケルを添加して加熱処理により結晶化させた後、レーザー光のエネルギー密度を変えて照射したものである。レーザー光はパルス発振XeClエキシマレーザー（波長308nm）を光源とし、繰り返し周波数30Hzで、同じ領域を12回繰り返し照射処理してある。エネルギー密度は、標準条件である480mJ/cm<sup>2</sup>に対し、380mJ/cm<sup>2</sup>と550mJ/cm<sup>2</sup>の場合について比較してある。

【0118】図21では結晶化したシリコン膜におけるニッケルの深さ方向分布について示している。ニッケルはレーザー光のエネルギー密度が増加するに従い、当該シリコン膜の表面に偏析することが分かる。これはレーザー光の照射によりシリコン膜が熔融し、下地側（基板側）から凝固し、固液界面が表面に向かって移動するためである。即ち、固溶度が高い液体中にニッケルが偏析するため、最後に凝固する表面においてその濃度が高くなると理解することができる。図22は、レーザー光のエネルギー密度を240～550mJ/cm<sup>2</sup>まで変化させて、結晶化したシリコン膜の表面におけるニッケル濃度をTXRFにて測定した結果を示している。図22において、表面におけるニッケル濃度が増加するのは360mJ/cm<sup>2</sup>以上である。

【0119】このように、エネルギー密度360mJ/cm<sup>2</sup>が臨界点となっているが、図23で示すようにラマン分光スペクトルにおける結晶シリコンのラマンシフトが急激に減少する点でもある。図22と図23のデータは、エネルギー密度360mJ/cm<sup>2</sup>以上でシリコン膜が熔融状態を経て結晶化していることを示している。

【0120】結晶粒界付近の高分解能透過電子顕微鏡写真を図24に、電子線回折像を図25に示す。これは480mJ/cm<sup>2</sup>のレーザー光を照射した後の試料である。図24においてはニッケルシリサイドの格子像を確認することができる。図25の電子線回折像から得られた結晶の面間距離を表1に示す。表1によれば粒界に観測されるニッケルシリサイドはNiSi<sub>2</sub>ではなくNi<sub>3</sub>Si<sub>2</sub>若しくはNi<sub>2</sub>Siであると考えられる。レーザー光の照射により熔融したニッケルは過冷却により、Ni<sub>3</sub>Si<sub>2</sub>やNi<sub>2</sub>Siの状態で粒界に凍結したとみることができる。これは粒界に存在していたNiSi<sub>2</sub>がレーザーのエネルギーによりNi<sub>3</sub>Si<sub>2</sub>やNi<sub>2</sub>Siに変化したものと推定される。Ni<sub>3</sub>Si<sub>2</sub>やNi<sub>2</sub>Siは熱的に安定な温度が低いので、これらのシリサイドからはニッケルが放出されやすいと考えることができる。

【0121】

【表1】

| 面間距離    | 該当結晶   |
|---------|--|
| 2.677 Å | Ni <sub>3</sub> Si <sub>2</sub> (420)=2.6637 Å |
|         | Ni <sub>3</sub> Si <sub>2</sub> (330)=2.700 Å  |
|         | Ni <sub>2</sub> Si(122)=2.68 Å                 |
| 3.08 Å  | Si(111)  |
| 1.24 Å  | Si(331)  |

【0122】[実施例7]本発明を用いることにより様々な半導体装置を製造することができる。その様な半導体装置として、ビデオカメラ、デジタルカメラ、ゴーグル型表示装置（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンボ等）、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）、記録媒体を備えた画像再生装置などが挙げられる。それら半導体装置の具体例を図15および図16に示す。

【0123】図15（A）はデスクトップ型パーソナルコンピュータなどのモニターであり、筐体3301、支持台3302、表示部3303などから成っている。本発明を用いることにより、表示部3303やその他集積回路を製造することができる。

【0124】図15（B）はビデオカメラであり、本体3311、表示部3312、音声入力部3313、操作スイッチ3314、バッテリー3315、受像部3316等を含む。本発明を用いることにより、表示部3312やその他集積回路を製造することができる。

【0125】図15（C）はヘッドマウントELディスプレイの一部（右片側）であり、本体3321、信号ケーブル3322、頭部固定バンド3323、投影部3324、光学系3325、表示部3326等を含む。本発明を用いることにより、表示部3326やその他集積回路を製造することができる。

【0126】図15(D)は記録媒体を備えた画像再生装置(具体的にはDVD再生装置)であり、本体3331、記録媒体(DVD等)3332、操作スイッチ3333、表示部(a)3334、表示部(b)3335などから成っている。表示部(a)3334は主として画像情報を表示し、表示部(b)3335は主として文字情報を表示するが、本発明を用いることにより、表示部(a)3334、表示部(b)3335やその他集積回路を製造することができる。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。

【0127】図15(E)はゴーグル型表示装置(ヘッドマウントディスプレイ)であり、本体3341、表示部3342、アーム部3343を含む。本発明を用いることにより、表示部3342やその他集積回路を製造することができる。

【0128】図15(F)はノート型パーソナルコンピュータであり、本体3351、筐体3352、表示部3353、キーボード3354等を含む。本発明を用いることにより、表示部3353やその他集積回路を製造することができる。

【0129】図16(A)は携帯電話であり、本体3401、音声出力部3402、音声入力部3403、表示部3404、操作スイッチ3405、アンテナ3406を含む。本発明を用いることにより、表示部3404やその他集積回路を製造することができる。

【0130】図16(B)は音響再生装置、具体的にはカーオーディオであり、本体3411、表示部3412、操作スイッチ3413、3414を含む。本発明の発光装置は表示部3412にて用いることが出来る。また、本実施例では車載用オーディオを示すが、携帯型や家庭用の音響再生装置に用いても良い。

【0131】図16(C)はデジタルカメラであり、本体3501、表示部(A)3502、接眼部3503、操作スイッチ3504、表示部(B)3505、バッテリー3506を含む。本発明を用いることにより、表示部(A)3502表示部(B)3505やその他集積回路を製造することができる。

【0132】以上の様に、本発明の適用範囲は極めて広く、様々な電子装置に適用することが可能である。また、本実施例の電子装置は実施例1~5のどのような組み合わせからなる構成を用いても実現することができる。

【0133】

【発明の効果】本発明を用いることで、結晶化を助長する触媒元素を用いて得た結晶構造を有する半導体膜から、触媒元素を効率的に除去または低減することができる。また、この処理はガラス基板が歪んで変形してしまう温度以下で行うことができるという特徴を有している。

【0134】また、ゲッターリングを行うために半導体膜

に添加する希ガス元素は、半導体膜中で不活性であるため、例えばTFTのしきい値電圧を変動させるなどの悪影響がない。また、イオン注入法またはイオンドーピング法で添加する希ガス元素は、高純度で何らバランスガスを含まない状態で供給可能であるので、ドーピングに要する時間が少なくて済み、半導体装置の生産性の向上を向上させることができる。

【0135】さらに、本発明により作製される結晶構造を有する半導体膜は、触媒元素の効果により結晶性に優れ、かつ、ゲッターリングによりその触媒元素が除去又は低減されている。そのために、半導体装置の活性層として用いた場合、優れた電気的特性と高い信頼性を兼ね備えた半導体装置を得ることができる。

【図面の簡単な説明】

【図1】 本発明の半導体装置の作製工程を説明する断面図。

【図2】 本発明の半導体装置の作製工程を説明する断面図。

【図3】 本発明の半導体装置の作製工程を説明する断面図。

【図4】 本発明を用いて作製される反射型表示装置に対応するアクティブマトリクス基板の作製工程を説明する断面図。

【図5】 本発明を用いて作製される反射型表示装置に対応するアクティブマトリクス基板の作製工程を説明する断面図。

【図6】 本発明を用いて作製される反射型表示装置に対応するアクティブマトリクス基板の作製工程を説明する断面図。

【図7】 本発明を用いて作製される反射型表示装置に対応するアクティブマトリクス基板の作製工程を説明する断面図。

【図8】 本発明を用いて作製される反射型表示装置に対応するアクティブマトリクス基板の画素部の構成を説明する上面図。

【図9】 本発明を用いて作製される透過型表示装置に対応するアクティブマトリクス基板の画素部の構成を説明する断面図。

【図10】 アクティブマトリクス基板の外観を説明する上面図。

【図11】 本発明の半導体装置の作製工程を説明する断面図。

【図12】 本発明を用いて作製される液晶表示装置の構成を説明する断面図。

【図13】 本発明を用いて作製される発光装置の構成を説明する断面図。

【図14】 本発明の半導体装置の作製工程を説明する断面図。

【図15】 半導体装置の一例を示す図。

【図16】 半導体装置の一例を示す図。

【図17】 GRTA法による熱処理時間と結晶化率の関係を示すグラフ。

【図18】 ラマン分光スペクトルから求めたTO ( $a\text{-Si} : 480\text{cm}^{-1}$ )とTO ( $c\text{-Si} : 520\text{cm}^{-1}$ 付近)のピーク強度比の熱処理時間依存性を示すグラフ。

【図19】 結晶化率とゲッタリング後の残留ニッケル濃度の関係を示すグラフ (ゲッタリング時の温度  $625^{\circ}\text{C}$ )。

【図20】 結晶化率とゲッタリング後の残留ニッケル濃度の関係を示すグラフ (ゲッタリング時の温度  $650^{\circ}\text{C}$ )。

【図21】 二次イオン質量分析法による半導体膜中のニッケル濃度の分布を示すグラフであり、レーザー光の照射前後の分布を示している。

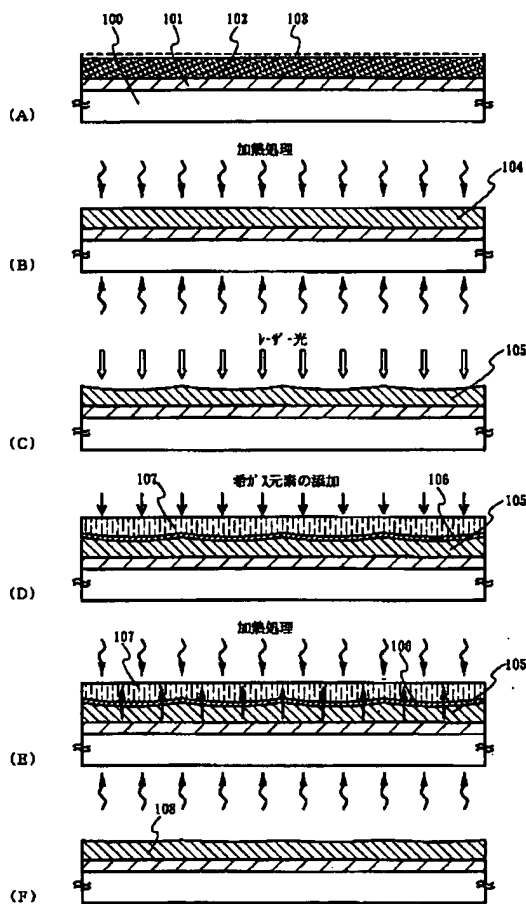
【図22】 半導体膜表面のニッケル濃度分布を示し、レーザー光の照射エネルギー依存性を示すグラフ。

【図23】 半導体膜のラマンシフトを示し、レーザー光の照射エネルギー依存性を示すグラフ。

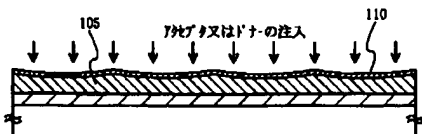
【図24】 結晶粒界付近の高分解能透過電子顕微鏡写真。

【図25】 結晶粒界付近の特定点における電子線回折像。

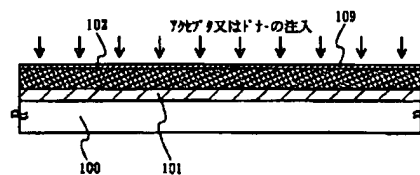
【図1】



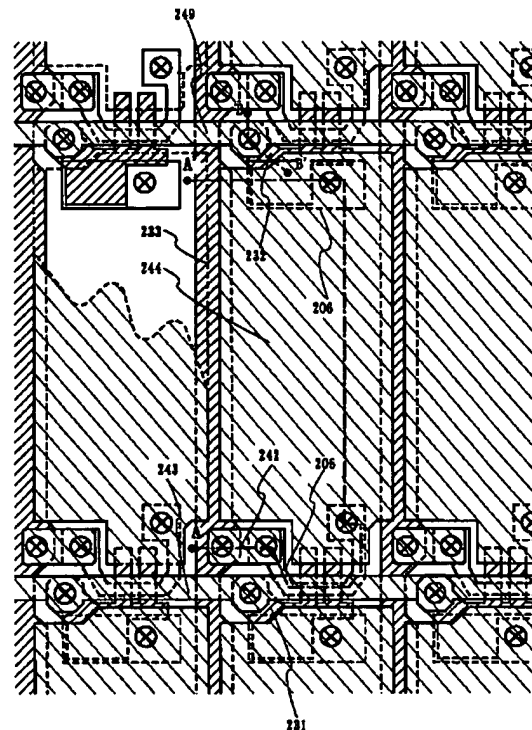
【図3】



【図2】

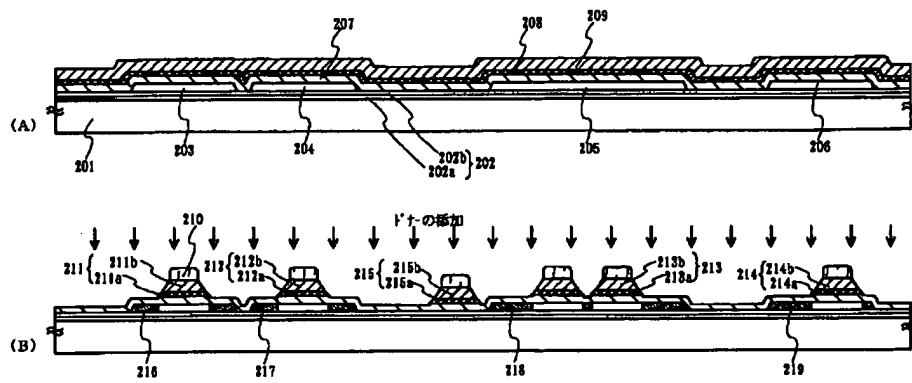


【図8】

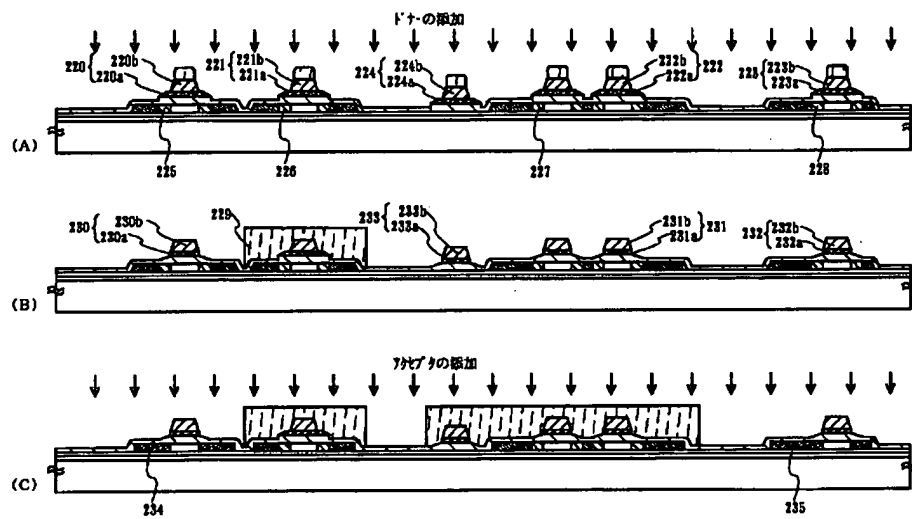




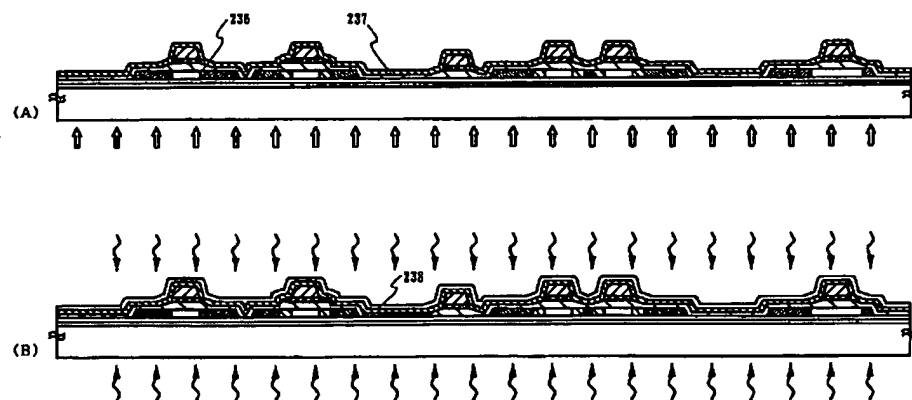
【図 4】



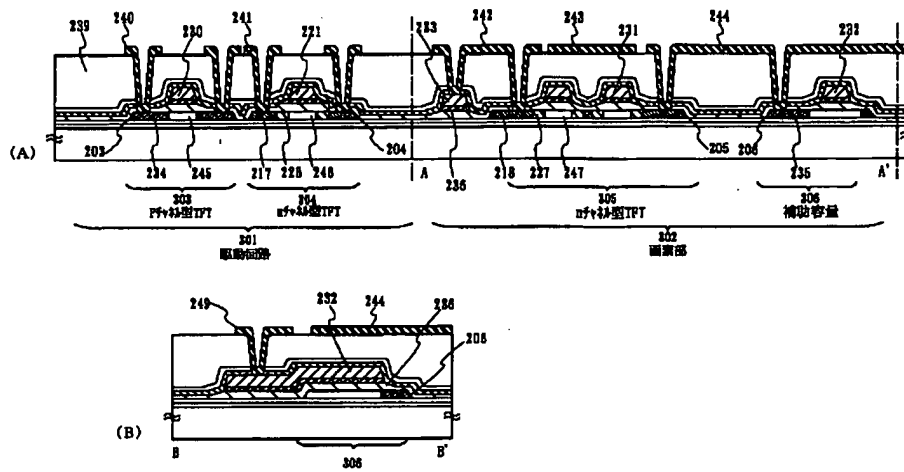
【図 5】



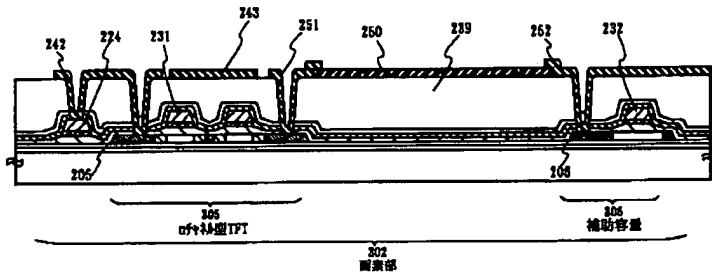
【図 6】



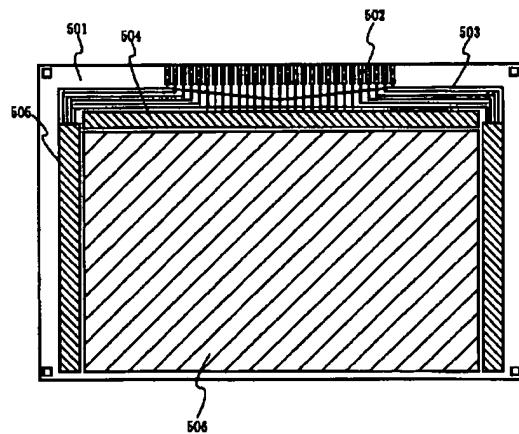
【図7】



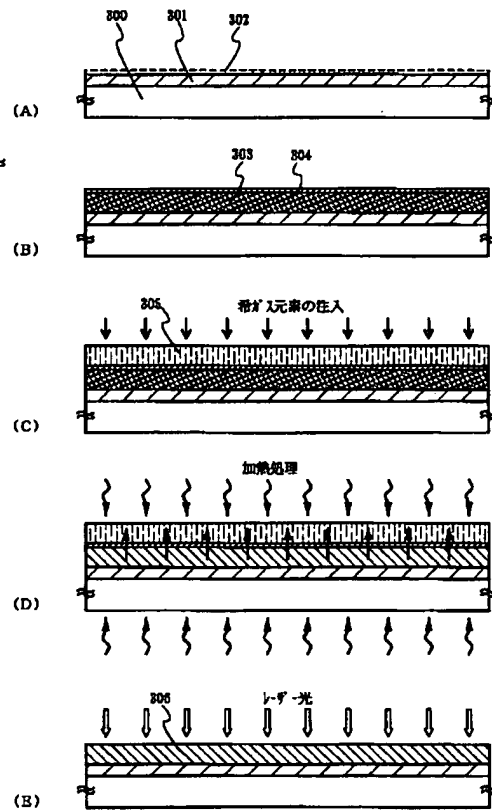
【図9】



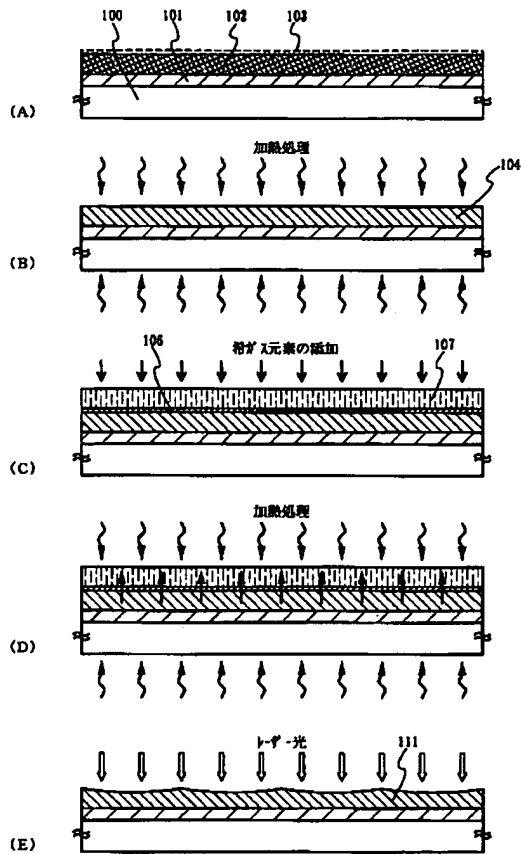
【図10】



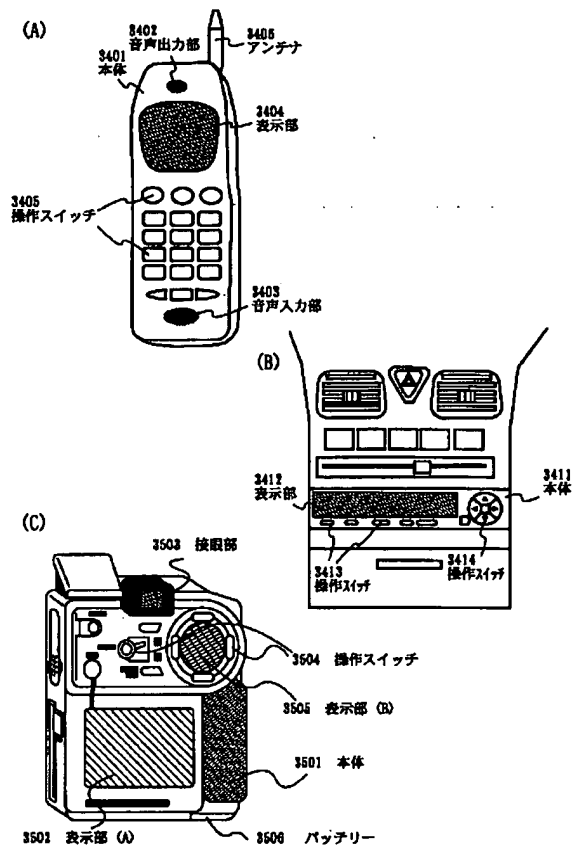
【図14】



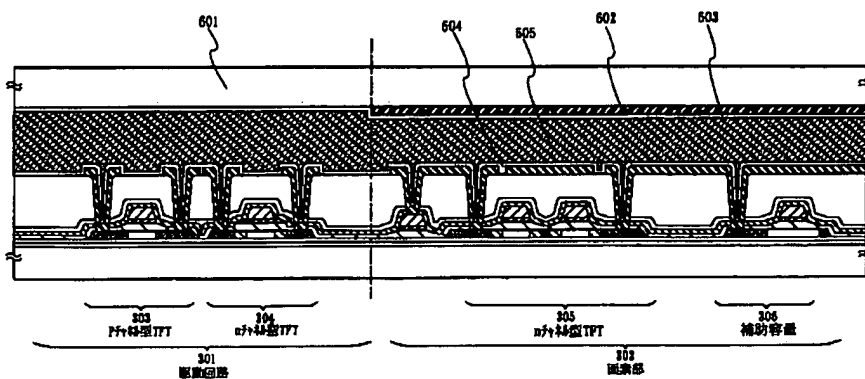
【図11】



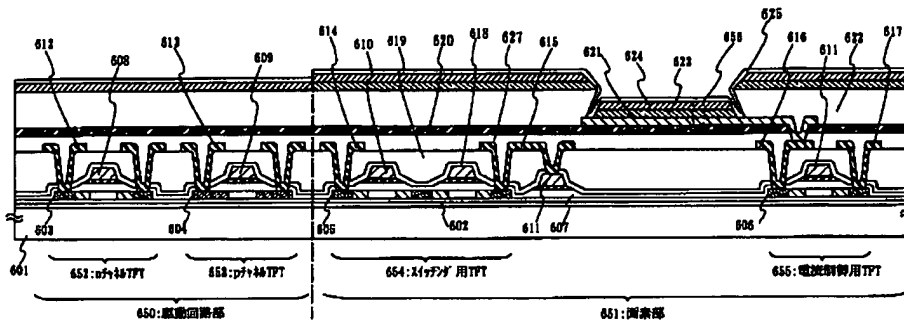
【図16】



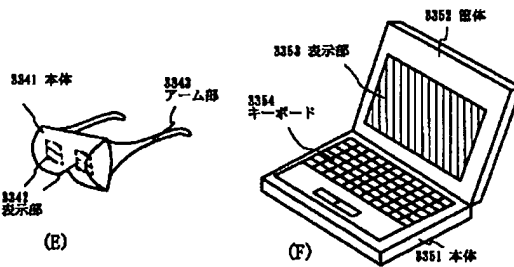
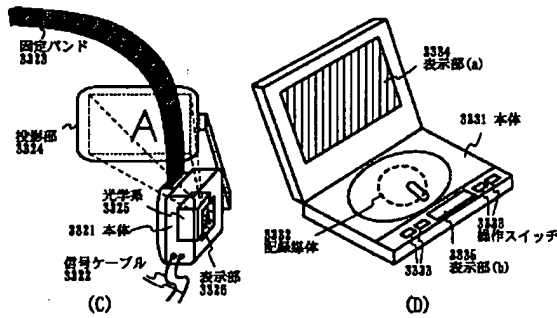
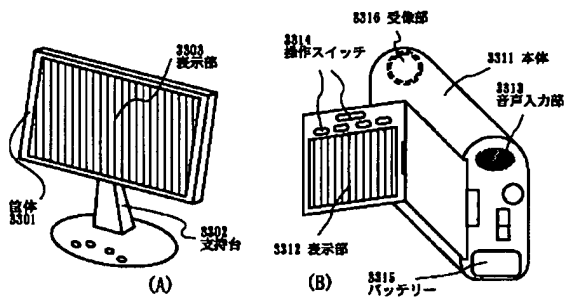
【図12】



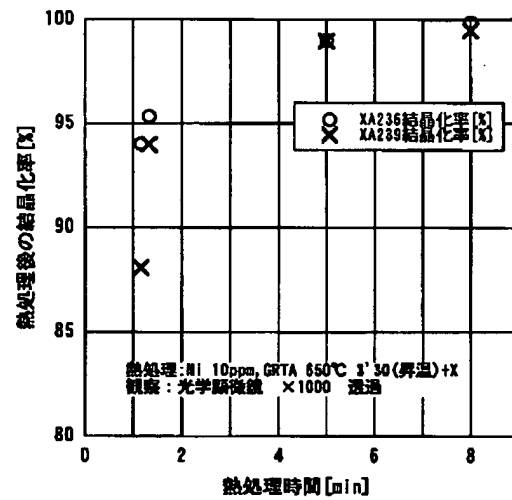
【図13】



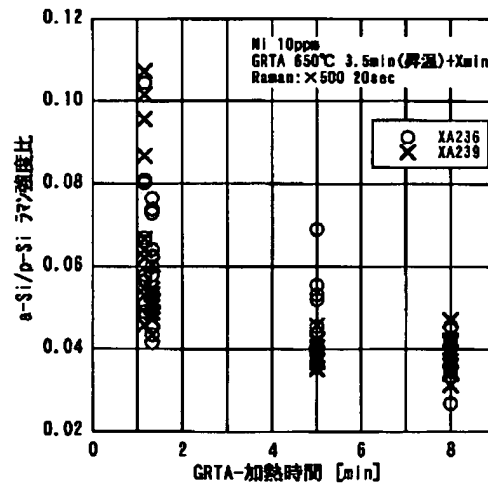
【図15】



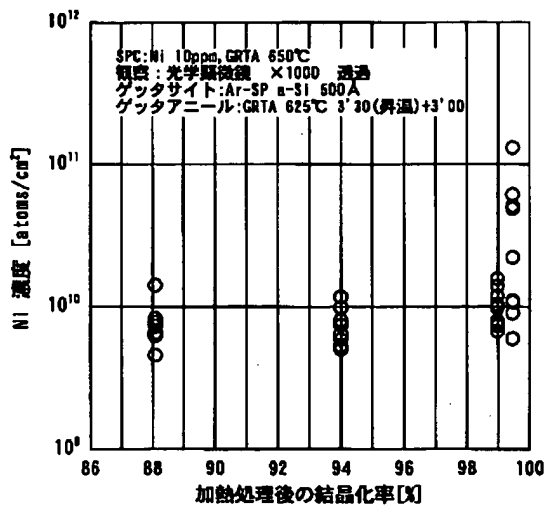
【図17】



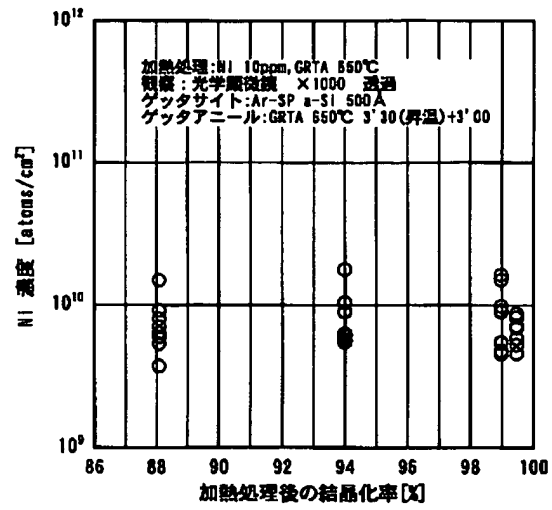
【図18】



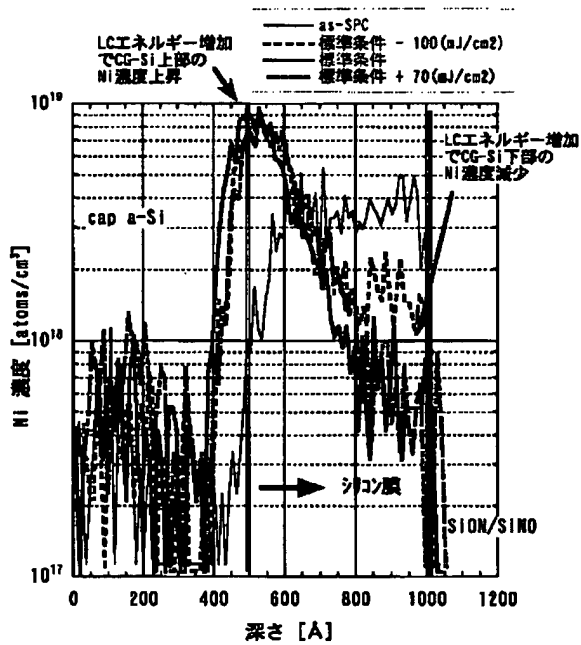
【図19】



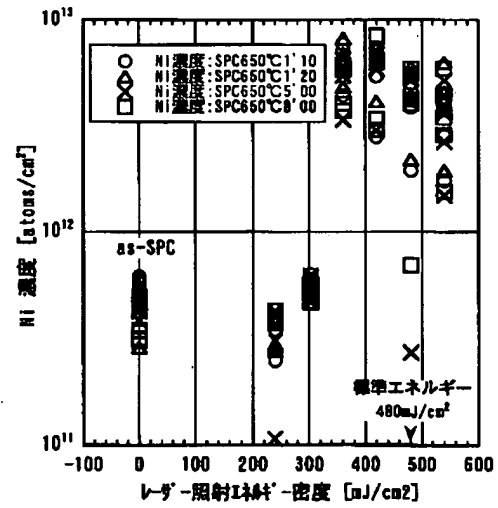
【図20】



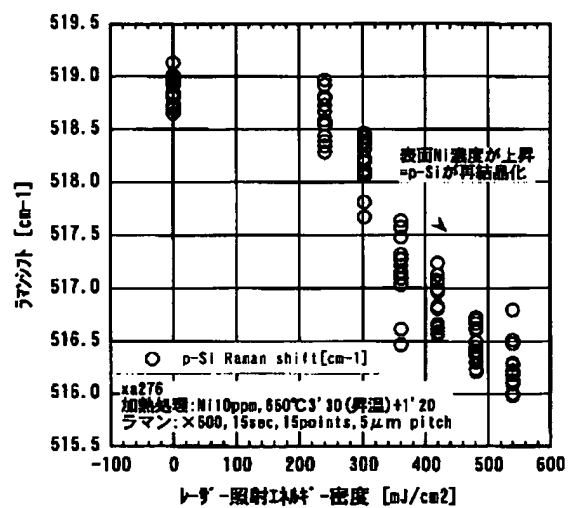
【図21】



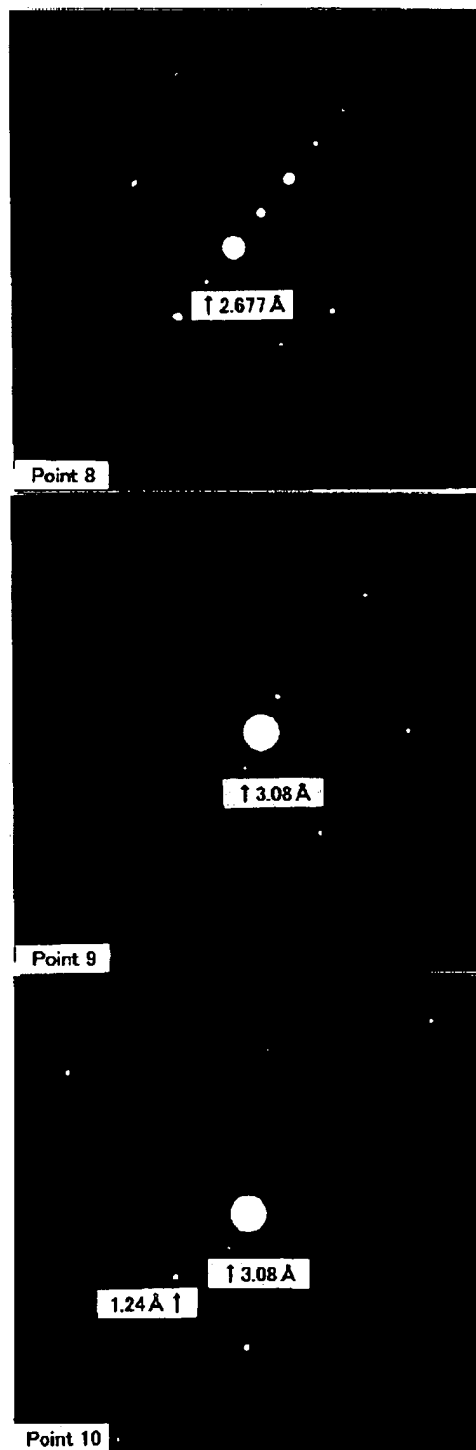
【図22】



【図23】



【図25】



フロントページの続き

|                          |      |               |         |
|--------------------------|------|---------------|---------|
| (51)Int.Cl. <sup>7</sup> | 識別記号 | F I           | テーム(参考) |
|                          |      | H 0 1 L 29/78 | 6 2 7 G |

|                      |           |                                |
|----------------------|-----------|--------------------------------|
| (72)発明者 大沼 英人        | F ターム(参考) | 2H092 GA59 HA03 HA04 HA05 JA24 |
| 神奈川県厚木市長谷398番地 株式会社半 |           | JA28 JA34 JA37 JA41 JA46       |
| 導体エネルギー研究所内          |           | JB07 JB54 JB56 JB61 KA04       |
|                      |           | KA07 KA08 KA10 KA12 KB25       |
|                      |           | MA02 MA04 MA07 MA08 MA10       |
|                      |           | MA12 MA18 MA22 MA27 MA28       |
|                      |           | MA29 MA30 MA37 NA07 NA21       |
|                      |           | NA27 NA29                      |
|                      | 5F052     | AA02 AA11 AA17 AA24 BA02       |
|                      |           | BB02 BB07 DA02 DA03 DB02       |
|                      |           | DB03 DB07 EA16 FA06 FA19       |
|                      |           | HA06 JA01 JA09                 |
|                      | 5F110     | AA06 AA16 BB02 BB04 CC02       |
|                      |           | DD01 DD02 DD03 DD05 DD13       |
|                      |           | DD14 DD15 DD17 EE01 EE02       |
|                      |           | EE03 EE04 EE06 EE09 EE14       |
|                      |           | EE23 EE28 EE37 FF02 FF09       |
|                      |           | FF12 FF28 FF30 GG01 GG02       |
|                      |           | GG13 GG16 GG25 GG32 GG33       |
|                      |           | GG34 GG43 GG45 GG47 GG51       |
|                      |           | GG52 GG58 HJ01 HJ04 HJ12       |
|                      |           | HJ13 HJ23 HL03 HL04 HL06       |
|                      |           | HL07 HL11 HM15 HM18 HM19       |
|                      |           | NN03 NN04 NN22 NN23 NN24       |
|                      |           | NN27 NN34 NN35 NN44 NN72       |
|                      |           | NN73 NN78 PP01 PP02 PP03       |
|                      |           | PP04 PP05 PP06 PP10 PP13       |
|                      |           | PP29 PP34 PP35 QQ04 QQ11       |
|                      |           | QQ23 QQ28                      |



# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-313811

(43)Date of publication of application : 25.10.2002

---

(51)Int.Cl. H01L 21/336

G02F 1/1368

H01L 21/20

H01L 21/322

H01L 29/786

---

(21)Application number : 2002-020801 (71)Applicant : SEMICONDUCTOR ENERGY LAB CO LTD

(22)Date of filing : 29.01.2002 (72)Inventor : NAKAMURA OSAMU  
KAJIWARA MASAYUKI  
YAMAZAKI SHUNPEI  
ONUMA HIDETO

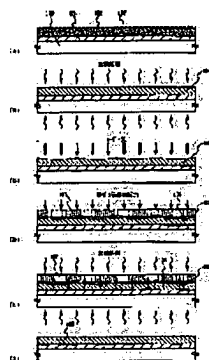
---

(30)Priority

Priority number : 2001019367 Priority date : 29.01.2001 Priority country : JP

---

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD



(57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a technique for effectively removing metallic element remaining in a semiconductor film which is obtained by using the metallic element having catalytic action for crystallization of an amorphous semiconductor film.

**SOLUTION:** To remove catalyst element used for crystallization of a semiconductor film having an amorphous structure, a region where to rare gas element is added, or a semiconductor film where to rare gas element is added is formed, heat treatment is carried out, and catalyst element is moved there and gettering is accomplished. A thin oxide film is formed in an interface between a semiconductor film where to rare gas element is added and a semiconductor film having a crystal structure.

---

## LEGAL STATUS

[Date of request for examination] 18.01.2005

[Date of sending the examiner's  
decision of rejection]

[Kind of final disposal of application  
other than the examiner's decision of  
rejection or application converted  
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against  
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

\* NOTICES \*

**JPO and NCIPJ are not responsible for any  
damages caused by the use of this translation.**

1.This document has been translated by computer. So the translation may not  
reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

## CLAIMS

---

[Claim(s)]

[Claim 1] The concentration of the oxygen contained in said semi-conductor film in the semiconductor device with which the semi-conductor film which has the crystal structure was formed on the insulating front face is a semiconductor device which is three or less  $5 \times 10^{18}$  /cm, and is characterized by having the field where the rare-gas element is contained by the concentration of  $1 \times 10^{13}$  to  $1 \times 10^{20}$  /cm<sup>3</sup> [ near said semi-conductor film the interior or near the front face ].

[Claim 2] The concentration of the oxygen which said semi-conductor film is a thin cylindrical or thin flat cylindrical crystal in the semiconductor device with which the semi-conductor film which has the crystal structure was formed on the insulating front face, and is contain in said semi-conductor film is a

semiconductor device which is three or less  $5 \times 10^{18}$  /cm, and is characterized by to have the field where the rare-gas element is contained by the concentration of  $1 \times 10^{13}$  to  $1 \times 10^{20}$  /cm<sup>3</sup> [ near said semi-conductor film the interior or near the front face ].

[Claim 3] In the semiconductor device which has the semi-conductor film which has the crystal structure on an insulating front face, gate dielectric film, and a gate electrode said semi-conductor film In the field which laps with said gate electrode, oxygen is included by three or less  $5 \times 10^{18}$  /cm concentration, and it sets the interior of said semi-conductor film, or near the interface with said gate dielectric film. The semiconductor device with which a rare-gas element is characterized by having the field included by the concentration of  $1 \times 10^{13}$  to  $1 \times 10^{20}$  /cm<sup>3</sup>.

[Claim 4] In the semiconductor device which has the semi-conductor film which has the crystal structure on an insulating front face, gate dielectric film, and a gate electrode said semi-conductor film In the field which is a thin cylindrical or thin flat cylindrical crystal, and laps with said gate electrode The semiconductor device characterized by having the field where oxygen is included by three or less  $5 \times 10^{18}$  /cm concentration, and the rare-gas element is contained [ the interior of said semi-conductor film, or near the interface with said gate dielectric film ] by the concentration of  $1 \times 10^{13}$  to  $1 \times 10^{20}$  /cm<sup>3</sup>.

[Claim 5] It is the semiconductor device characterized by being a kind as which said rare-gas element was chosen from helium, Ne, Ar, Kr, and Xe in any 1 of claim 1 thru/or claims 4, or two or more sorts.

[Claim 6] The process which forms the 1st semi-conductor film which uses silicon as a principal component on the substrate which has an insulating front face, and has amorphous structure, The catalyst element which promotes crystallization of silicon on said 1st semi-conductor film is added. The process which forms the 1st semi-conductor film which has the crystal structure by 1st heat-treatment, The process which forms a barrier layer in the front face of the 1st semi-conductor film which has said crystal structure, A rare-gas element is added said

membrane formation and coincidence, or after that on the process which forms the 2nd semi-conductor film on said barrier layer, and said 2nd semi-conductor film. The production approach of the semiconductor device characterized by having the process which the 2nd heat-treatment performs [ process ] gettering and moves said catalyst element to said 2nd semi-conductor film, the process which removes said 2nd semi-conductor film, and the process which removes said barrier layer.

[Claim 7] The process which forms the 1st semi-conductor film which uses silicon as a principal component on the substrate which has an insulating front face, and has amorphous structure, The catalyst element which promotes crystallization of silicon on said 1st semi-conductor film is added. The process which forms the 1st semi-conductor film which has the crystal structure by 1st heat-treatment, The process which irradiates the 1st semi-conductor film laser light which has said crystal structure, The process which forms a barrier layer in the front face of the 1st semi-conductor film which has said crystal structure, A rare-gas element is added said membrane formation and coincidence, or after that on the process which forms the 2nd semi-conductor film on said barrier layer, and said 2nd semi-conductor film. The production approach of the semiconductor device characterized by having the process which the 2nd heat-treatment performs [ process ] gettering and moves said catalyst element to said 2nd semi-conductor film, the process which removes said 2nd semi-conductor film, and the process which removes said barrier layer.

[Claim 8] It is the production approach of the semiconductor device characterized by forming said barrier layer with ozone water in claim 6 or claim 7.

[Claim 9] It is the production approach of the semiconductor device characterized by for said barrier layer oxidizing a front face by plasma treatment in claim 6 or claim 7, and forming.

[Claim 10] It is the production approach of the semiconductor device characterized by for said barrier layer irradiating ultraviolet rays in the ambient atmosphere containing oxygen, generating ozone, oxidizing a front face in claim

6 or claim 7, and forming.

[Claim 11] It is the production approach of the semiconductor device characterized by being a kind as which said rare-gas element was chosen from helium, Ne, Ar, Kr, and Xe in claim 6 or claim 7, or two or more sorts.

[Claim 12] It is the production approach of the semiconductor device characterized by adding said rare-gas element by ion-implantation or the ion doping method in claim 6 or claim 7.

[Claim 13] It is the production approach of the semiconductor device characterized by performing said 1st heat-treatment in claim 6 or claim 7 by radiation from a kind or two or more sorts chosen from a halogen lamp, a metal halide lamp, the xenon arc lamp, the carbon arc lamp, the high-pressure sodium lamp, and the high-pressure mercury lamp.

[Claim 14] It is the production approach of the semiconductor device characterized by performing said 1st heat-treatment by the furnace annealing method for having used the electric heat furnace in claim 6 or claim 7.

[Claim 15] It is the production approach of the semiconductor device characterized by performing said 2nd heat-treatment in claim 6 or claim 7 by radiation from a kind or two or more sorts chosen from a halogen lamp, a metal halide lamp, the xenon arc lamp, the carbon arc lamp, the high-pressure sodium lamp, and the high-pressure mercury lamp.

[Claim 16] It is the production approach of the semiconductor device characterized by performing said 2nd heat-treatment by the furnace annealing method for having used the electric heat furnace in claim 6 or claim 7.

[Claim 17] claim 6 or claim 7 -- the production approach of the semiconductor device characterized by said catalyst element being a kind chosen from Fe, nickel, Co, Ru, Rh, Pd, Os, Ir, Pt, Cu, and Au, or two or more sorts in any 1.

---

[Translation done.]

\* NOTICES \*

**JPO and NCIP are not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the semiconductor device more specifically represented with a thin film transistor (it is hereafter described as TFT), and its production approach about the semiconductor device using the semi-conductor film which has the crystal structure, and its production approach. In addition, the equipment at large which functions as a semiconductor device in this specification using a semi-conductor property shall be included.

[0002]

[Description of the Prior Art] In order to form an integrated circuit using TFT, importance is attached to the technique which forms in an insulating front face the semi-conductor film which has the crystal structure. It is because it becomes the element with which the semi-conductor film is used in order to form the barrier layer (here, it says including a channel formation field, the source, a drain field, etc.) of TFT, and the quality itself determines the electrical characteristics of TFT directly.

[0003] The approach of it irradiating laser light, once the approach for forming the semi-conductor film which has the crystal structure forms the amorphous semiconductor film, and crystallizing, and the approach of heat-treating and crystallizing using an electric heat furnace are used. However, the semi-conductor film produced by such approach consists of much crystal grain,

orientation of the crystal orientation cannot be carried out in the arbitrary directions, and it cannot control it in them. Therefore, as compared with the semiconductor of a single crystal, migration of a carrier is not performed smoothly, but it has become the factor which restricts the electrical characteristics of TFT.

[0004] On the other hand, the technique indicated by JP,7-183540,A is a technique of adding metallic elements, such as nickel, and crystallizing the silicon semiconductor film, and it is known that it is effective in reducing the temperature which the metal origin concerned serves as a catalyst so to speak, and promotes crystallization, and is needed for it. Furthermore, it is possible not only it but to raise the stacking tendency of crystal orientation. It is known that they are a kind chosen from Fe, nickel, Co, Ru, Rh, Pd, Os, Ir, Pt, Cu, and Au as an element with a catalysis or two or more sorts.

[0005] However, because adds a metallic element (here, it is called a catalyst element including all) with a catalysis, the metallic element concerned remains in the inside of the film of the semiconductor film, or a film front face, and problems, such as making the electrical characteristics of TFT vary etc., are on it. For example, the OFF state current of TFT increases and there are problems, such as varying between each components. That is, the metallic element which has a catalysis to crystallization serves as a rather unnecessary existence, once the crystalline substance semiconductor film will be formed.

[0006] The gettering technique using phosphorus makes it possible to remove the metallic element added for crystallization from the specific field of the semiconductor film to whenever [ stoving temperature / of about 500 degrees C ]. For example, it is possible to remove easily the metallic element added from the component formation field for crystallization by adding Lynn to the source drain field of TFT, and performing 450-700-degree C heat treatment. An example of such a technique is indicated by patent No. 3032801.

[0007] By the way, the extrinsic gettering which gives space [ distortion ] and a chemical operation from the exterior to a silicon wafer, and gives the gettering effectiveness to a gettering technique, and the in thorin chic gettering using the



space [ distortion ] of a lattice defect where the oxygen generated inside the wafer involves are known. The approach of doing a mechanical damage to the rear face (field of the opposite side which forms a component) of a silicon wafer, the approach of forming the polycrystalline silicon film, the approach of diffusing Lynn, etc. are learned by extrinsic gettering. Moreover, the gettering technique performed by forming space [ distortion ] according to the secondary lattice defect formed of the ion implantation is also known. These techniques develop as a manufacturing technology of a large-scale integrated circuit which used the single crystal silicon substrate, and result by the end of today, and use of the wafer of silicon is developed also including an element experiential as a premise. Anyway, gettering is making it move with a certain energy, and making a predetermined field (gettering site) carry out accumulation of the metal impurity contained in a semi-conductor, and reduces the metal high impurity concentration of a component formation field (gettering-ed field).

[0008]

[Problem(s) to be Solved by the Invention] Phosphorus is an element which is used by many semiconductor devices in order to form a n-type-semiconductor field as a donor, and is known as a dopant. Therefore, the gettering using phosphorus can be included in the production process of TFT comparatively easily. The gettering using phosphorus makes it possible to remove the metallic element which is heat-treatment of about 4 hours and was introduced into the semi-conductor film at 550 degrees C for crystallization of silicon. however -- therefore, three or more  $1 \times 10^{20}$  /cm, the concentration of the phosphorus which must be added on the semi-conductor film is  $1 \times 10^{21}$  /cm<sup>3</sup>, and had preferably the trouble that the processing time which doping takes increased. Furthermore, addition of the phosphorus by ion-implantation or the ion doping method (on these specifications, the approach of not performing mass separation of the ion to pour in is pointed out and said) brought about amorphous-ization of the semi-conductor film, and addition of high-concentration phosphorus made subsequent recrystallization difficult.

[0009] This invention is a means for solving such a problem, and it aims at offering the technique of removing effectively the metallic element concerned which remains on the semi-conductor film obtained using the metallic element which has a catalysis to crystallization of the semi-conductor film.

[0010]

[Means for Solving the Problem] In order to remove the catalyst element used for crystallization of the semi-conductor film with which this invention has amorphous structure in order to solve the above-mentioned problem, the field or semi-conductor film which added the rare-gas element is formed, a catalyst element is moved there, and it is characterized by completing gettering.

[0011] Specifically the production approach of the semiconductor device of this invention The process which forms the 1st semi-conductor film which uses silicon as a principal component at the substrate which has an insulating front face, and has amorphous structure, The catalyst element which promotes crystallization of silicon on said 1st semi-conductor film is added. The process which forms the 1st semi-conductor film which has the crystal structure by 1st heat-treatment, The process which forms a barrier layer in the front face of the 1st semi-conductor film which has said crystal structure, A rare-gas element is added said membrane formation and coincidence, or after that on the process which forms the 2nd semi-conductor film on said barrier layer, and said 2nd semi-conductor film. The process which the 2nd heat-treatment performs [ process ] gettering and moves said catalyst element to said 2nd semi-conductor film, the process which removes said 2nd semi-conductor film, and the process which removes said barrier layer are included.

[0012] Or the process which forms the 1st semi-conductor film which uses silicon as a principal component at the substrate which has an insulating front face, and has amorphous structure, The catalyst element which promotes crystallization of silicon on said 1st semi-conductor film is added. The process which forms the 1st semi-conductor film which has the crystal structure by 1st heat-treatment, The process which irradiates the 1st semi-conductor film laser light which has said

crystal structure, The process which forms a barrier layer in the front face of the 1st semi-conductor film which has said crystal structure, A rare-gas element is added said membrane formation and coincidence, or after that on the process which forms the 2nd semi-conductor film on said barrier layer, and said 2nd semi-conductor film. The process which the 2nd heat-treatment performs [ process ] gettering and moves said catalyst element to said 2nd semi-conductor film, the process which removes said 2nd semi-conductor film, and the process which removes said barrier layer are included.

[0013] Or the process which forms the 1st semi-conductor film which uses silicon as a principal component at the substrate which has an insulating front face, and has amorphous structure, The catalyst element which promotes crystallization of silicon on said 1st semi-conductor film is added. The process which forms the 1st semi-conductor film which has the crystal structure by 1st heat-treatment, The process which forms a barrier layer in the front face of the 1st semi-conductor film which has said crystal structure, A rare-gas element is added said membrane formation and coincidence, or after that on the process which forms the 3rd semi-conductor film on said barrier layer, and said 2nd semi-conductor film. The process which the 2nd heat-treatment performs [ process ] gettering and moves said catalyst element to said 2nd semi-conductor film, the process which removes said 2nd semi-conductor film, the process which removes said barrier layer, and the process which irradiates laser light at the 1st semi-conductor film which has said crystal structure are included.

[0014] Or the process which forms the 1st semi-conductor film which uses silicon as a principal component at the substrate which has an insulating front face, and has amorphous structure, The process which adds the catalyst element which promotes crystallization of silicon on the 1st semi-conductor film which has said amorphous structure, The process which forms a barrier layer in the front face of the 1st semi-conductor film which has said amorphous structure, A rare-gas element on the process which forms the 2nd semi-conductor film on said barrier layer, and said 2nd semi-conductor film by said membrane formation and

coincidence or the process added after that, and heat-treatment The process which moves said catalyst element to said 2nd semi-conductor film while forming the 1st semi-conductor film which is made to crystallize the 1st semi-conductor film which has said amorphous structure, and has the crystal structure, The process which removes said 2nd semi-conductor film, the process which removes said barrier layer, and the process which irradiates laser light at the 1st semi-conductor film which has said crystal structure are included.

[0015] Or the process which adds the catalyst element which promotes crystallization of silicon on an insulating front face, The process which forms the 1st semi-conductor film which uses silicon as a principal component at the substrate which has said insulating front face, and has amorphous structure, The process which forms a barrier layer in the front face of the 1st semi-conductor film which has said amorphous structure, A rare-gas element on the process which forms the 2nd semi-conductor film on the 1st semi-conductor film which has said amorphous structure, and said 2nd semi-conductor film by said membrane formation and coincidence or the process added after that, and heat-treatment The process which moves said catalyst element to said 2nd semi-conductor film while forming the 1st semi-conductor film which is made to crystallize the 1st semi-conductor film which has said amorphous structure, and has the crystal structure, The process which removes said 2nd semi-conductor film, the process which removes said barrier layer, and the process which irradiates laser light at the 1st semi-conductor film which has said crystal structure are included.

[0016] Said barrier layer irradiates ultraviolet rays in the ambient atmosphere which includes a front face for oxidation or oxygen by the oxidation by the ozone water like chemical oxide, or plasma treatment, generates ozone, oxidizes and should just form a front face. Moreover, the silicon oxide film etc. may be formed by the sputtering method or the plasma-CVD method.

[0017] The rare-gas element added in order to form a gettering site uses a kind chosen from helium, Ne, Ar, Kr, and Xe, or two or more sorts. And these rare-gas

element is incorporated by coincidence, when adding by ion-implantation or the ion doping method or forming said 2nd semi-conductor film.

[0018] moreover, LRTA which performs 1st heat-treatment for crystallizing by radiation from a kind or two or more sorts chosen from a halogen lamp, a metal halide lamp, the xenon arc lamp, the carbon arc lamp, the high-pressure sodium lamp, and the high-pressure mercury lamp -- GRTA using inert gas, such as law or nitrogen, and an argon, as a heating medium -- it carries out by adopting law or adopting the furnace annealing method using an electric heat furnace.

[0019] moreover, LRTA which performs 1st heat-treatment for performing gettering by radiation from a kind or two or more sorts chosen from a halogen lamp, a metal halide lamp, the xenon arc lamp, the carbon arc lamp, the high-pressure sodium lamp, and the high-pressure mercury lamp -- GRTA using inert gas, such as law or nitrogen, and an argon, as a heating medium -- it carries out by adopting law or adopting the furnace annealing method using an electric heat furnace.

[0020] It is characterized by for the semiconductor device of this invention obtained by such production approach having the semi-conductor film which has the crystal structure on an insulating front face, and for the concentration of the oxygen contained in said semi-conductor film being three or less  $5 \times 10^{18}$  /cm, and having the field where the rare gas element is contained by the concentration of  $1 \times 10^{13}$  to  $1 \times 10^{20}$  /cm<sup>3</sup> [ near said semi-conductor film the interior or near the front face ].

[0021] Moreover, other configurations are cylindrical or thin flat cylindrical crystals with said thin semi-conductor film in the semiconductor device which has the semi-conductor film which has the crystal structure on an insulating front face, the concentration of the oxygen contain in said semi-conductor film is three or less  $5 \times 10^{18}$  /cm, and the rare gas element is characterize by to have the field include by the concentration of  $1 \times 10^{13}$  to  $1 \times 10^{20}$  /cm<sup>3</sup> [ near said semi-conductor film the interior or near the front face ].

[0022] In the semiconductor device which has the semi-conductor film with which

other configurations have the crystal structure on an insulating front face, gate dielectric film, and a gate electrode moreover, said semi-conductor film In the field which laps with said gate electrode, oxygen is included by three or less  $5 \times 10^{18}$ -/cm concentration, and it sets the interior of said semi-conductor film, or near the interface with said gate dielectric film. The rare-gas element is characterized by having the field included by the concentration of  $1 \times 10^{13}$  to  $1 \times 10^{20}$ -/cm<sup>3</sup>.

[0023] In the semiconductor device which has the semi-conductor film with which other configurations have the crystal structure on an insulating front face, gate dielectric film, and a gate electrode moreover, said semi-conductor film In the field which is a thin cylindrical or thin flat cylindrical crystal, and laps with said gate electrode It is characterized by having the field where oxygen is included by three or less  $5 \times 10^{18}$ -/cm concentration, and the rare-gas element is contained [ the interior of said semi-conductor film, or near the interface with said gate dielectric film ] by the concentration of  $1 \times 10^{13}$  to  $1 \times 10^{20}$ -/cm<sup>3</sup>.

[0024]

[Embodiment of the Invention] With reference to a drawing, the gestalt of operation of this invention is explained to a detail below the [gestalt 1 of operation]. Drawing 1 is drawing explaining 1 operation gestalt of this invention, and after it adds the metallic element which has a catalysis all over the semi-conductor film which has amorphous structure on the whole surface and crystallizes, it is the approach of performing gettering.

[0025] In drawing 1 (A), although there is no special limitation of 100 substrate in the quality of the material, barium borosilicate glass, alumino borosilicate glass, or a quartz can be used preferably. An inorganic insulator layer is formed in the front face of a substrate 100 by the thickness of 10-200nm as a blocking layer 101. An example of a suitable blocking layer is an oxidation silicon nitride film produced by the plasma-CVD method, and applies what formed in the thickness of 50nm SiH<sub>4</sub>, NH<sub>3</sub>, and the 1st oxidation silicon nitride film produced from N<sub>2</sub>O, and formed in the thickness of 100nm the 2nd oxidation silicon nitride film

produced from  $\text{SiH}_4$  and  $\text{N}_2\text{O}$ . Omitting is also possible when preparing since the alkali metal contained in a glass substrate does not diffuse the blocking layer 101 in the semi-conductor film formed in this upper layer, and using a quartz as a substrate.

[0026] The semiconductor material which uses silicon as a principal component is used for the semi-conductor film (1st semi-conductor film) 102 which has the amorphous structure formed on the blocking layer 101. Typically, the amorphous silicon film or the amorphous silicon germanium film is applied, and it forms in the thickness of 10-100nm by the plasma-CVD method, or a reduced pressure CVD method or the sputtering method. In order to obtain a good crystal, it is good to make three or less  $5 \times 10^{18}$  /cm reduce the high impurity concentration of the oxygen contained in the semi-conductor film 102 which has amorphous structure, nitrogen, etc. These impurities become the factor which it becomes [ factor ] the factor which blocks crystallization of an amorphous semiconductor, and makes the consistency of a trapping center or a recombination center increase after crystallization. therefore, the thing for which the ingredient gas of a high grade is used -- from the first -- the mirror plane processing in a reaction chamber (electric-field polish processing), and oil -- it is desirable to use the CVD system corresponding to the ultra-high vacuum equipped with the free evacuation system.

[0027] Then, the metallic element which has the catalysis which promotes crystallization in the front face of the semi-conductor film 102 which has amorphous structure is added. As a metallic element with the catalysis which promotes crystallization of the semi-conductor film, it is iron (Fe), nickel (nickel), cobalt (Co), a ruthenium (Ru), a rhodium (Rh), palladium (Pd), an osmium (Os), iridium (Ir), platinum (Pt), copper (Cu), gold (Au), etc., and a kind chosen from these or two or more sorts can be used. Typically, using nickel, the nickel acetate salting in liquid which contains 1-100 ppm nickel by weight conversion is applied by the spinner, and the catalyst content layer 103 is formed. In this case, in order to improve familiarity in the solution concerned, after forming a very thin oxide

film in an ozone content water solution as surface treatment of the semi-conductor film 102 which has amorphous structure, etching that oxide film with the mixed liquor of fluoric acid and hydrogen peroxide solution and forming the clean surface, it processes in an ozone content water solution again, and the very thin oxide film is formed. Since the front face of semi-conductor film, such as silicon, is originally hydrophobicity, nickel acetate salting in liquid can be applied to homogeneity by forming the oxide film in this way.

[0028] Of course, the catalyst content layer 103 is not limited to such an approach, but may be formed by the sputtering method, vacuum deposition, plasma treatment, etc. Moreover, before the catalyst content layer 103 forms the semi-conductor film 102 which has amorphous structure, it may be formed on the blocking layer 101.

[0029] Heat-treatment for crystallization is performed with the condition held of having contacted the semi-conductor film 102 and the catalyst content layer 103 which have amorphous structure. the moment of using the furnace annealing method using an electric heat furnace as the approach of heat-treatment, a halogen lamp, a metal halide lamp, a xenon arc lamp, a carbon arc lamp, a high-pressure sodium lamp, a high-pressure mercury lamp, etc. -- heat annealing (Rapid Thermal Annealing) -- law (LRTA law) is adopted. Or the moment heat annealing method (GRTA law) of a gas heating method is adopted. if productivity is taken into consideration -- LRTA -- law or GRTA -- it is thought desirable to adopt law.

[0030] LRTA -- in carrying out by law, the source of a lamp light for heating is made to turn on for 30 to 60 seconds preferably for 1 to 60 seconds, and it repeats it 2 to 6 times preferably 1 to 10 times. Although luminescence reinforcement of the source of a lamp light is made into arbitrary things, 600-1000 degrees C of semi-conductor film are momentarily heated by about 650-750 degrees C preferably. Even if it becomes such an elevated temperature, it is [ that the semi-conductor film is only heated momentarily and ], and it does not deform [ itself is distorted and ] a substrate 100. In this way, the semi-conductor



film which has amorphous structure is crystallized, and although the semi-conductor film (1st semi-conductor film) 104 which has the crystal structure shown in drawing 1 (B) can be obtained, it can be begun and attained by preparing a catalyst content layer that it can crystallize by such processing.

[0031] When using the furnace annealing method as the other approaches, heat-treatment of about 1 hour is performed at 500 degrees C, and the hydrogen which the semi-conductor film 102 which has amorphous structure contains is made to emit in advance of heat-treatment. And 550-600 degrees C crystallizes by performing heat-treatment of 4 hours at 580 degrees C preferably in nitrogen-gas-atmosphere mind using an electric heat furnace. In this way, the semi-conductor film (1st semi-conductor film) 104 which has the crystal structure shown in drawing 1 (B) is formed.

[0032] In order to repair the defect which furthermore raises the rate of crystallization (the crystal component occupy to per the whole film product or area comparatively), and is leave behind in crystal grain, it is also effective to irradiate the laser light of continuous oscillation or a pulse oscillation to the semi-conductor film 104 which has the crystal structure as drawing 1 (C) shows. The 2nd higher harmonic of excimer laser light with a wavelength of 400nm or less, the YAG laser which is solid state laser, YVO4 laser, YAlO3 laser, or YLF laser, and the 3rd higher harmonic are used for laser. Continuous-wave-laser light condenses a line or in the shape of an ellipse, and irradiates the 2nd higher harmonic of above-mentioned solid state laser, and the 3rd higher harmonic.

[0033] When using YVO4 laser of a continuous-oscillation mold, it changes into the 2nd higher harmonic wave by the wavelength sensing element, and the energy beam of 10W is scanned at the rate of 1 - 100 cm/sec, and it is made to crystallize.

[0034] When using the excimer laser of a pulse oscillation, using pulse laser light with a repeat frequency of about 10-1000Hz, the laser light concerned is condensed to 100 - 400 mJ/cm<sup>2</sup> in optical system, and the lasing to the semi-conductor film 104 which has the crystal structure with 90 - 95% of rate of

overlap may be performed.

[0035] Thus, the catalyst element (here nickel) remains on the semi-conductor film (1st semi-conductor film) 105 which has the crystal structure acquired. it is uniformly distributed in the film -- \*\*\*\* -- carry out -- it remains by average concentration, then the concentration exceeding  $1 \times 10^{19}/\text{cm}^3$ . Of course, although it is possible to begin TFT and to form various semiconductor devices also in such the condition, gettering removes the element concerned by the approach shown henceforth.

[0036] First, the thin barrier layer 106 is formed in the front face of the semi-conductor film 105 which has a crystal structure as shown in drawing 1 (D). Although especially the thickness of a barrier layer is not limited, the chemical oxide formed by processing with ozone water simple may be substituted for it. Moreover, even if it processes in the water solution which mixed hydrogen peroxide solution with the sulfuric acid, the hydrochloric acid, the nitric acid, etc., chemical oxide can be formed similarly. As other approaches, ozone is generated by the plasma treatment in the inside of an oxidizing atmosphere, and the UV irradiation in the inside of an oxygen content ambient atmosphere, and oxidation treatment may be performed. Moreover, using clean oven, it heats at about 200-350 degrees C, a thin oxide film is formed, and it is good also as a barrier layer. Or an about 1-5nm oxide film is deposited with a plasma-CVD method, the sputtering method, vacuum deposition, etc., and it is good also as a barrier layer.

[0037] The semi-conductor film (2nd semi-conductor film) 107 is formed by the thickness of 25-250nm by the plasma-CVD method or the RF-sputtering method on it. Typically, the amorphous silicon film is chosen. What is considered as the film with a low consistency is desirable in order to make high the selection ratio of the semi-conductor film 105 which has a crystal structure, and etching, since this semi-conductor film 107 is removed behind. 25-40 atom % For example, in forming the amorphous silicon film by the plasma-CVD method, it includes hydrogen in the film, using substrate temperature as about 100-200 degrees C.

Hydrogen can be included in the film so much by carrying out a sputter by the mixed gas of an argon and hydrogen, it being also the same as when adopting the sputtering method, and using substrate temperature as 200 degrees C or less. Moreover, if the rare-gas element is made to add by the sputtering method or the plasma-CVD method at the time of membrane formation, coincidence can be made to incorporate a rare-gas element in the film. In this way, a gettering site can be formed even if it has the rare-gas element incorporated.

[0038] Then, with the ion doping method or ion-implantation, it adds so that a rare-gas element may be contained in the semi-conductor film 107 by the concentration of  $1 \times 10^{20}$  to  $2.5 \times 10^{22}/\text{cm}^3$ . Although acceleration voltage is made into arbitrary things, the ion of rare gas poured in since it is a rare-gas element may pass through the semi-conductor film 107 and the barrier layer 106, and it may reach even the semi-conductor film 105 with which a part has the crystal structure. Since a rare-gas element is inactive in itself in the semi-conductor film, even if it has the field included [ near the front face of the semi-conductor film 105 ] by about three  $1 \times 10^{13}$  to  $1 \times 10^{20}/\text{cm}$  concentration, it is so much uninfluential in a component property.

[0039] A kind chosen from helium (helium), neon (Ne), the argon (Ar), the krypton (Kr), and the xenon (Xe) as a rare-gas element or two or more sorts are used. It has the description to pour [ this invention uses these rare-gas element as the ion source, in order to form a gettering site, and ] it into the semi-conductor film with the ion doping method or ion-implantation. There is two semantics which pours in the ion of these rare-gas element. One is forming a dangling bond by impregnation and giving distortion to the semi-conductor film, and other one is giving distortion by pouring in the ion concerned between the grids of the semi-conductor film. Although impregnation can fill the ion of inert gas for these both to coincidence, especially the latter is notably obtained, when an element with a bigger atomic radius than silicon, such as an argon (Ar), a krypton (Kr), and a xenon (Xe), is used.

[0040] It is necessary to carry out the afterbaking processing for finishing

gettering certainly. heat-treatment -- the furnace annealing method and LRTA -- law or GRTA -- it carries out by law. In carrying out by the furnace annealing method, it performs heat-treatment of 0.5 - 12 hours at 450-600 degrees C in nitrogen-gas-atmosphere mind. Moreover, in using the LRTA method, the source of a lamp light for heating is made to turn on for 30 to 60 seconds preferably for 1 to 60 seconds, and it repeats it 2 to 6 times preferably 1 to 10 times. Although luminescence reinforcement of the source of a lamp light is made into arbitrary things, 600-1000 degrees C of semi-conductor film are momentarily heated by about 700-750 degrees C preferably.

[0041] The catalyst element in a gettering-ed field (capture site) is emitted by heat energy, and moves gettering to a gettering site by diffusion. Therefore, gettering will progress for a short time, so that gettering is an elevated temperature more depending on processing temperature. As an arrow head shows drawing 1 (E), the direction to which a catalyst element moves is the distance of thickness extent of the semi-conductor film, and gettering is completed comparatively for a short time. the case where the upper limit of processing temperature is performed by the furnace annealing method when the thermal resistance of a substrate and the rare-gas element contained in the semi-conductor film 107 need to take into consideration the temperature from which it does not secede thermally and uses a glass substrate -- 700 degrees C or less and LRTA -- law or GRTA -- when carrying out by law, it should consider as 800 degrees C or less. Of course, when using a quartz substrate, it can also heat to 1000 degrees C momentarily.

[0042] In addition, the semi-conductor film 107 which contains a rare-gas element by three or more  $1 \times 10^{20}$  /cm concentration also by this heat-treatment is not crystallized. A rare-gas element is not re-emitted in the range of the above-mentioned processing temperature, but this remains in the film, and is considered to be for checking crystallization of the semi-conductor film.

[0043] Then, an amorphous semiconductor 107 is etched alternatively and removed. It can carry out by the wet etching by alkali solutions, such as dry

etching which does not use the plasma by  $\text{ClF}_3$  as the approach of etching or a hydrazine, and a water solution containing tetraethylammonium hydroxide (chemical formula  $(\text{CH}_3)_4\text{NOH}$ ). At this time, the barrier layer 106 functions as an etching stopper. Moreover, what is necessary is for fluoric acid just to remove the barrier layer 106 after that.

[0044] In this way, the semi-conductor film 108 which has the crystal structure from which the concentration of a catalyst element was subtracted by three or less  $1 \times 10^{17}/\text{cm}$  as shown in drawing 1 (F) can be obtained. In this way, the semi-conductor film 108 which has the formed crystal structure is formed as a thin cylindrical or thin flat cylindrical crystal of an operation of a catalyst element, and if it looks at the crystal macroscopically in each, it will grow with a certain specific directivity. The semi-conductor film 108 which has such the crystal structure is applicable not only to the barrier layer of TFT but the photo-electric-conversion layer of photosensor or a solar battery. Moreover, it is also applicable to the gettering processing to the semi-conductor layer of SOI (Silicon on Insulator) structure.

[0045] [Gestalt 2 of operation] drawing 11 is drawing explaining 1 operation gestalt of this invention, after it forms the semi-conductor film which has the crystal structure by heat-treatment, performs gettering and explains how to raise crystallinity by the exposure of further strong light, such as laser light. In addition, drawing 11 explains using the sign which is common in drawing 1 used for explanation in the gestalt 1 of operation.

[0046] Drawing 11 (A) and drawing 11 (B) are the same processes as the gestalt 1 of operation, and after they form the blocking layer 101, the semi-conductor film 102 which has amorphous structure, and the layer 103 containing a catalyst element on a substrate 100, they form the semi-conductor film 104 which has the crystal structure by heat-treatment.

[0047] Then, as shown in drawing 11 (C), the barrier layer 106 is formed in the front face of the semi-conductor film (1st semi-conductor film) 104 which has a crystal structure, and the semi-conductor film 107 is formed further. On the semi-

conductor film 107, a rare-gas element is added so that it may be contained by ion-implantation or the ion doping method by the concentration of  $1 \times 10^{20}$  to  $2.5 \times 10^{22}/\text{cm}^3$ .

[0048] and it is shown in drawing 11 (D) -- as -- heat-treatment -- the furnace annealing method and LRTA -- law or GRTA -- it carries out by law. In carrying out by the furnace annealing method, it performs heat-treatment of 0.5 - 12 hours at 450-600 degrees C in nitrogen-gas-atmosphere mind. Moreover, in using the LRTA method, the source of a lamp light for heating is made to turn on for 30 to 60 seconds preferably for 1 to 60 seconds, and it repeats it 2 to 6 times preferably 1 to 10 times. Although luminescence reinforcement of the source of a lamp light is made into arbitrary things, 600-1000 degrees C of semi-conductor film are momentarily heated by about 700-750 degrees C preferably. Moreover, gettering can be performed even if it irradiates the 2nd higher harmonic (wavelength of 532nm) of the YAG laser of continuous oscillation or a pulse oscillation, YLF laser, and YVO4 laser. The catalyst element in a capture site is emitted by heat energy, and moves gettering to a gettering site by diffusion. Therefore, gettering will progress for a short time, so that gettering is an elevated temperature more depending on processing temperature. As an arrow head shows drawing 11 (D), the direction to which a catalyst element moves is the distance of thickness extent of the semi-conductor film, and gettering is completed comparatively for a short time.

[0049] In addition, the semi-conductor film (2nd semi-conductor film) 107 which contains a rare-gas element by three or more  $1 \times 10^{20}/\text{cm}$  concentration is not crystallized by this heat-treatment, either. A rare-gas element is not re-emitted in the range of the above-mentioned processing temperature, but this remains in the film, and is considered to be for checking crystallization of the semi-conductor film.

[0050] Then, the semi-conductor film 107 is etched alternatively and removed. It can carry out by the wet etching by alkali solutions, such as dry etching which does not use the plasma by  $\text{ClF}_3$  as the approach of etching or a hydrazine, and

a water solution containing tetraethylammonium hydroxide (chemical formula  $(\text{CH}_3)_4\text{NOH}$ ). At this time, the barrier layer 106 functions as an etching stopper. Moreover, what is necessary is for fluoric acid just to remove the barrier layer 106 after that.

[0051] In order to repair the defect which furthermore raises the rate of crystallization (the crystal component in the whole film product comparatively), and is left behind in crystal grain, it is also effective to irradiate laser light to the semi-conductor film 104 which has the crystal structure as drawing 11 (E) shows. Excimer laser light with a wavelength of 400nm or less, the 2nd higher harmonic of an YAG laser, and the 3rd higher harmonic are used for laser. Anyway, using pulse laser light with a repeat frequency of about 10-1000Hz, the laser light concerned is condensed to 100 - 400 mJ/cm<sup>2</sup> in optical system, it irradiates with 90 - 95% of rate of overlap, and the semi-conductor film 111 which has the crystal structure is formed.

[0052] It is drawing explaining 1 operation gestalt of this invention, and [gestalt 3 of operation] drawing 14 is the approach of performing gettering to coincidence while it adds the metallic element which has a catalysis all over the semi-conductor film which has amorphous structure on the whole surface and crystallizes.

[0053] First, as shown in drawing 14 (A), the catalyst element content layer 302 is formed on the blocking layer 301. This may apply the water solution or the alcoholic liquid containing a catalyst element by the spinner, and may form it by the sputtering method, vacuum deposition, plasma treatment, etc.

[0054] Then, the semi-conductor film (1st semi-conductor film) 303 which has amorphous structure as shown in drawing 14 (B) is formed in the thickness of 10-100nm by the plasma-CVD method, or a reduced pressure CVD method or the sputtering method. Furthermore, the barrier layer 304 is formed. These formation approaches are made to be the same as that of the gestalt 1 of operation.

[0055] As drawing 14 (C) shows, the semi-conductor film (2nd semi-conductor film) 305 is formed by the thickness of 25-250nm by the plasma-CVD method or

the sputtering method on it. Typically, the amorphous silicon film is chosen. Since this semi-conductor film 305 is removed behind too, what is considered as the film with a low consistency is desirable.

[0056] Then, with the ion doping method or ion-implantation, it adds so that a rare-gas element may be contained in the semi-conductor film 305 by the concentration of  $1 \times 10^{20}$  to  $2.5 \times 10^{22}/\text{cm}^3$ . Although acceleration voltage is made into arbitrary things, the ion of rare gas poured in since it is a rare-gas element may pass through the semi-conductor film 305 and the barrier layer 304, and it may reach even the semi-conductor film 303 with which a part has amorphous structure. Since a rare-gas element is inactive in itself in the semi-conductor film, even if it has the field included [ near the front face of the semi-conductor film 303 concerned ] by about three  $1 \times 10^{18}$  to  $1 \times 10^{20}/\text{cm}$  concentration, it is so much uninfluential in a component property.

[0057] And as shown in drawing 14 (D), it heat-treats. LRTA using the furnace annealing method using an electric heat furnace as the approach of heat-treatment, a halogen lamp, a metal halide lamp, a xenon arc lamp, a carbon arc lamp, a high-pressure sodium lamp, a high-pressure mercury lamp, etc. -- it carries out by law. or GRTA using nitrogen, an argon, etc. as a heating medium - - it carries out by law.

[0058] LRTA -- in carrying out by law, the source of a lamp light for heating is made to turn on for 30 to 60 seconds preferably for 1 to 60 seconds, and it repeats it 2 to 6 times preferably 1 to 10 times. Although luminescence reinforcement of the source of a lamp light is made into arbitrary things, 600-1000 degrees C of semi-conductor film are momentarily heated by about 650-750 degrees C preferably. Even if it becomes such an elevated temperature, it is [ that the semi-conductor film is only heated momentarily and ], and it does not deform [ itself is distorted and ] a substrate 100. Moreover, when using the furnace annealing method, heat-treatment of about 1 hour is performed at 500 degrees C, and the hydrogen which the semi-conductor film 303 which has amorphous structure contains is made to emit in advance of heat-treatment. And



550-600 degrees C crystallizes by performing heat-treatment of 4 hours at 580 degrees C preferably in nitrogen-gas-atmosphere and using an electric heat furnace.

[0059] By this heat-treatment, while a catalyst element oozes out on the semi-conductor film 303 which has amorphous structure and crystallizes it, it is spread toward the semi-conductor film 305 (the direction of the arrow head 307 of drawing 14 (D)). Thereby, crystallization and gettering are performed to coincidence by one heat-treatment.

[0060] Then, the semi-conductor film 305 is etched alternatively and removed. It can carry out by the wet etching by alkali solutions, such as dry etching which does not use the plasma by  $\text{ClF}_3$  as the approach of etching or a hydrazine, and a water solution containing tetraethylammonium hydroxide (chemical formula  $(\text{CH}_3)_4\text{NOH}$ ). At this time, the barrier layer 304 functions as an etching stopper. Moreover, what is necessary is for fluoric acid just to remove the barrier layer 304 after that.

[0061] The semi-conductor film (1st semi-conductor film) 306 which has the crystal structure from which the concentration of a catalyst element was subtracted by three or less  $1 \times 10^{17}$  /cm as shown in drawing 14 (E) can be obtained. In order to raise the crystallinity of the semi-conductor film 306 which has this crystal structure, laser light may be irradiated like the gestalt 1 of operation.

[0062] In this way, the semi-conductor film 306 which has the crystal structure formed is formed as a thin cylindrical or thin flat cylindrical crystal of an operation of a catalyst element, and if it looks at the crystal macroscopically in each, it will grow with a certain specific directivity. The semi-conductor film 306 which has such the crystal structure is applicable not only to the barrier layer of TFT but the photo-electric-conversion layer of photosensor or a solar battery.

[0063] In the gestalt 1 of the [gestalt 4 of operation] operation, or 2, after forming the semi-conductor film 102 which has a blocking layer and amorphous structure in a substrate 101, as shown in drawing 2, the thin barrier layer 109 may be

formed in the front face of the semi-conductor film 102 which has amorphous structure, and a  $1 \times 10^{16}$  - about three  $1 \times 10^{18}$  /cm acceptor or a donor may be added with the ion doping method or ion-implantation. This can be applied when controlling [ for example, ] the threshold electrical potential difference of TFT for the purpose of valence-electron control of the semi-conductor film after the semi-conductor film 102 which has amorphous structure crystallizes.

[0064] What is necessary is just to form after that the semi-conductor film which has the crystal structure like a gestalt 1 or 2 in operation. Or what is necessary is to perform the process after drawing 14 (B) as well as the gestalt 3 of operation, and just to form the semi-conductor film which has the crystal structure.

[0065] In the gestalt 1 of the [gestalt 5 of operation] operation thru/or 3, as shown in drawing 3 , after forming the semi-conductor film which has the crystal structure, a  $1 \times 10^{16}$  - about three  $1 \times 10^{18}$  /cm acceptor or a donor may be added with the ion doping method or ion-implantation. This can be applied when controlling the threshold electrical potential difference of TFT like the gestalt 4 of operation for the purpose of valence-electron control of the semi-conductor film which has the crystal structure.

[0066] The impurity element of one conductivity type added here is activable at 400-600 degrees C with heat-treatment, and can be operated as an acceptor or a donor.

[0067] <BR> [Example] TFT (the n channel mold TFT and p channel mold TFT) of the drive circuit prepared on the same substrate around the pixel section and the pixel section using [example 1] this invention is explained using drawing 4 thru/or drawing 8 , and drawing 10 about an example of the approach of producing to coincidence.

[0068] In drawing 4 (A), a substrate 201 can use a glass substrate, a quartz substrate, a ceramic substrate, etc. Moreover, the thing in which the insulator layer was formed on the front face of a silicon substrate, a metal substrate, or a stainless steel substrate may be used. When using a glass substrate, that whose thickness is 0.5-1.1mm is adopted, but if it aims at lightweight-ization, it is

necessary to make thickness thin. Furthermore, it is desirable to adopt what has specific gravity small in cc and 2.37g /for attaining lightweight-ization.

[0069] And as shown in drawing 4 (A), the blocking layer 202 which consists of insulator layers, such as silicon oxide film, a silicon nitride film, or an oxidation silicon nitride film ( $\text{SiOxNy}$ ), is formed on a substrate 201. A typical example consists of two-layer structure as a blocking layer 202, and the structure which carries out laminating formation of the 2nd oxidation silicon nitride film 202b formed considering 50-100nm,  $\text{SiH}_4$ , and  $\text{N}_2\text{O}$  as reactant gas in 1st oxidation silicon nitride film 202a formed considering  $\text{SiH}_4$ ,  $\text{NH}_3$ , and  $\text{N}_2\text{O}$  as reactant gas at the thickness of 100-150nm is adopted.

[0070] Using the semi-conductor film which has the crystal structure produced by the gestalt 1 of operation thru/or either of 5, the semi-conductor film made into a barrier layer divides it in the shape of an island, and forms the semi-conductor film 203-206. 20-100nm of thickness of this semi-conductor film is preferably set to 30-60nm.

[0071] Subsequently, wrap gate dielectric film 207 is formed for the semi-conductor layers 203-206 separated in the shape of an island. Gate dielectric film 207 is formed by the plasma-CVD method or the sputtering method, and is formed by the insulator layer which sets the thickness to 40-150nm, and contains silicon. Of course, the insulator layer containing silicon can be used for this gate dielectric film as a monolayer or a laminated structure. When using the silicon oxide film,  $\text{O}_2$  can be mixed with TEOS (Tetraethyl Ortho Silicate) by the plasma-CVD method, and it can consider as the reaction pressure of 40Pa, and the substrate temperature of 300-400 degrees C, it can be made to be able to discharge by RF (13.56MHz) power flux density 0.5 - 0.8 W/cm<sup>2</sup>, and can form. Thus, the silicon oxide film produced can acquire a property good as gate dielectric film by 400-500-degree C heat annealing after formation.

[0072] On gate dielectric film 207, laminating formation of the tungsten (W) 209 is carried out as tantalum nitride ( $\text{TaN}$ ) 208 and 2nd electric conduction film of 100-400nm of thickness as 1st electric conduction film of 20-100nm of thickness. The

element chosen from Ta, W, Ti, Mo, aluminum, and Cu as a conductive ingredient for forming a gate electrode or said element is formed with the alloy ingredient or compound ingredient used as a principal component. Moreover, the semi-conductor film represented by the polycrystalline silicon film which doped impurity elements, such as Linn, may be used. Moreover, it is good also as a combination which forms the 1st electric conduction film by the tantalum (Ta) film, and uses the 2nd electric conduction film as W film, which combines, forms the 1st electric conduction film by the tantalum nitride (TaN) film, and uses the 2nd electric conduction film as aluminum film and which combines, forms the 1st electric conduction film by the tantalum nitride (TaN) film, and uses the 2nd electric conduction film as Cu film.

[0073] Next, 1st etching processing for forming the mask 210 which consists of a resist according to an optical exposure process, as shown in drawing 4 (B), and forming a gate electrode and wiring is performed. It is good for etching to use the ICP (Inductively Coupled Plasma: inductive-coupling mold plasma) etching method. Although there is no limitation in the gas for etching to be used, it is suitable for etching of W or TaN to use CF<sub>4</sub>, and Cl<sub>2</sub> and O<sub>2</sub>. It etches by setting each gas stream quantitative ratio to 25/25/10 (SCCM), supplying RF (13.56MHz) power of 500W to the electrode of a coil mold by the pressure of 1Pa, and generating the plasma. RF (13.56MHz) power of 150W is supplied also to a substrate side (sample stage), and a negative auto-bias electrical potential difference is impressed substantially. W film is etched according to this 1st etching condition, and the edge of the 1st conductive layer is made into a taper configuration.

[0074] Then, it changes into the 2nd etching condition, CF<sub>4</sub> and Cl<sub>2</sub> are used for the gas for etching, each gas stream quantitative ratio is made into 30/30 (SCCM), RF (13.56MHz) power of 500W is supplied to the electrode of a coil mold by the pressure of 1Pa, the plasma is generated, and etching for about 30 seconds is performed. RF (13.56MHz) power of 20W is supplied also to a substrate side (sample stage), and a negative auto-bias electrical potential

difference is impressed substantially. On the 2nd etching condition which mixed CF<sub>4</sub> and Cl<sub>2</sub>, W film and the TaN film are etched to the same extent. In addition, in order to etch without leaving residue on gate dielectric film, it is good to make etching time increase at about 10 - 20% of a rate.

[0075] In this 1st etching processing, the edge of the 1st conductive layer and the 2nd conductive layer serves as a taper configuration according to the effectiveness of the bias voltage impressed to a substrate side by having been suitable in the configuration of the mask which consists of a resist. The conductive layers 211-215 (the 1st conductive layers 211a-215a and 2nd conductive layer 211b-215b) of the 1st configuration which consists of the 1st conductive layer and 2nd conductive layer by this 1st etching processing are formed. About 20-50nm of fields which are not covered by the conductive layers 211-215 of the 1st configuration is etched, and gate dielectric film becomes thin.

[0076] And the 1st n-type-semiconductor field is formed by using the conductive layer of the 1st configuration as a mask. The conditions of the ion doping method in the 1st doping processing for forming this set a dose to  $5 \times 10^{14}$  to  $5 \times 10^{15}$  /cm<sup>2</sup> (typically  $1 \times 10^{15}$  /cm<sup>2</sup>), and dope phosphorus by setting acceleration voltage to 60-100keV. Here, an impurity range is performed in each semiconductor layer using the difference of the conductive layers 211-215 of the 1st configuration, and the thickness of gate dielectric film. In this way, the 1st n-type-semiconductor field 216-219 is formed. Phosphorus is added by this 1st n-type-semiconductor field by the density range of  $1 \times 10^{20}$  to  $1 \times 10^{21}$  /cm<sup>3</sup>.

[0077] Next, as shown in drawing 5 (A), without removing the mask 210 which consists of a resist, 2nd etching processing is performed. It etches by using CF<sub>4</sub>, and Cl<sub>2</sub> and O<sub>2</sub> for the gas for etching, setting each gas stream quantitative ratio to 20/20/20 (SCCM), supplying RF (13.56MHz) power of 500W to the electrode of a coil mold by the pressure of 1Pa, and generating the plasma. RF (13.56MHz) power of 20W is supplied to a substrate side (sample stage), and a low auto-bias electrical potential difference is impressed compared with the 1st etching processing. W film is etched according to this 3rd etching condition. In

this way, anisotropic etching of the W film is carried out, and the conductive layers 220-224 (the 1st conductive layers 220a-224a and 2nd conductive layer 220b-224b) of the 2nd configuration are formed. About further 20-50nm of gate dielectric film which is not covered by the conductive layers 220-224 of the 2nd configuration is etched, and it becomes thin.

[0078] And 2nd doping processing is performed without removing the mask which consists of a resist, and the phosphorus which becomes a semi-conductor layer with a donor is added. What is necessary is just to perform doping processing with the ion doping method or ion-implantation. The conditions of the ion doping method set a dose to  $1.5 \times 10^{14}$  /cm<sup>2</sup>, and perform acceleration voltage as 60-100keV. In this case, the conductive layers 220b-223b of the 2nd configuration serve as a mask to phosphorus, and the 2nd n-type-semiconductor field 225-228 is formed in self align. In this field, the impurity element of periodic-table 15 groups, such as phosphorus, is added by the density range of  $1 \times 10^{16}$  to  $1 \times 10^{18}$  /cm<sup>3</sup>.

[0079] Then, a mask 229 is formed and 3rd etching processing is performed. SF<sub>6</sub> and Cl<sub>2</sub> are used for the gas for etching, each gas stream quantitative ratio is made into 50/10 (SCCM), RF (13.56MHz) power of 500W is supplied to the electrode of a coil mold by the pressure of 1.3Pa, the plasma is generated, and etching for about 30 seconds is performed. RF (13.56MHz) power of 10W is supplied to a substrate side (sample stage), and a negative auto-bias electrical potential difference is impressed substantially. In this way, conductive layer 220a of the 2nd configuration, and 222a-224a are etched according to said 3rd etching condition, and the conductive layers 230-233 (the 1st conductive layers 230a-233a and 2nd conductive layer 230b-233b) of the 3rd configuration are formed.

[0080] Subsequently, as the mask 250 which newly consists of a resist is formed and it is shown in drawing 5 (C), 3rd doping processing is performed. Of this 3rd doping processing, the 1st p type semiconductor field 234 and 235 is formed. Let concentration of the boron added in order to form a p type semiconductor field be 1.5 to 3 times as high concentration as the phosphorus concentration which is

1x10<sup>20</sup> to 5x10<sup>21</sup> /cm<sup>3</sup>, and was added at the previous process.

[0081] The semiconductor region of n mold or p mold is formed in each semiconductor layer at the process to the above. The conductive layer 221 of the 2nd configuration and the conductive layers 230 and 231 of the 3rd configuration serve as a gate electrode. Moreover, in the pixel section, while forms retention volume and the conductive layer 232 of the 2nd configuration serves as an electrode. Furthermore, the conductive layer 233 of the 3rd configuration forms the data line in the pixel section.

[0082] Subsequently, the 1st interlayer insulation film 237 of a wrap is mostly formed for the whole surface. This 1st interlayer insulation film 237 forms thickness as 100-200nm using a plasma-CVD method or the sputtering method. The suitable example is the oxidation silicon nitride film of 150nm of thickness formed by the plasma-CVD method. Of course, the 1st interlayer insulation film 237 is not limited to an oxidation silicon nitride film, and may use the insulator layer containing other silicon as a monolayer or a laminated structure.

[0083] Then, the process which carries out activation of the impurity element added by each semi-conductor layer is performed. The furnace annealing method, the LRTA method and the GRTA method, and laser light irradiate this activation, and it can be performed more. By the furnace annealing method, 400-700 degrees C of heat-treatment of 4 hours are typically performed at 500 degrees C in nitrogen-gas-atmosphere mind using an electric heat furnace. In order to be activated by the exposure of laser light, it irradiates from a substrate side using the 2nd higher harmonic (532nm) of an YAG laser. This is for activating enough the 2nd n-type-semiconductor field which laps with the conductive layer 221 of the 2nd configuration. of course, LRTA for which this uses the source of a lamp light -- also by law, it is the same and the semiconductor film is heated by radiation of the source of a lamp light from a both-sides [ of a substrate ], or substrate side.

[0084] Then, as shown in drawing 6 (B), the 2nd interlayer insulation film 238 which consists of silicon nitride by the plasma-CVD method is formed, 410-

degree C heat treatment is performed using clean oven, and the semi-conductor film is hydrogenated from the hydrogen emitted from a silicon nitride film.

[0085] Subsequently, as shown in drawing 7 (A), the 3rd interlayer insulation film 239 which consists of an organic insulating material ingredient is formed on the 2nd interlayer insulation film 238. Subsequently, the contact hole which reaches the data line 224, and the contact hole which arrives at each impurity range are formed. Then, wiring and a pixel electrode are formed using aluminum, Ti, Mo, W, etc. For example, the cascade screen of Ti film of 50-250nm of thickness and the alloy film (alloy film of aluminum and Ti) of 300-500nm of thickness is used. In this way, the source or the drain wiring 240 and 241, the gate wiring 243, the connection wiring 242, and the pixel electrode 224 are formed.

[0086] The drive circuit 301 which consists of the p channel mold TFT303 and the n channel mold TFT304 on the same substrate as mentioned above, and the pixel section 302 which consists of the n channel mold TFT305 can be formed. The n channel mold TFT305 has multi-gate structure. Moreover, the semi-conductor film 206, gate dielectric film 236, the insulator layer formed in this layer, and the auxiliary capacity 306 which consists of a conductive layer 232 of the 3rd configuration are formed in the pixel section 302.

[0087] In the p channel mold TFT303 of the drive circuit 301, it has the so-called single drain structure where the 1st p type semiconductor field 234 (field which functions as a source field or a drain field) was formed in the outside of the conductive layer 230 of the 3rd configuration which forms the channel formation field 245 and a gate electrode. The n channel mold TFT304 has the 1st n-type-semiconductor field 217 which functions as the channel formation field 246, the 2nd n-type-semiconductor field 226 (LDD field) with which a conductive layer 221 and a part of the 2nd configuration laps, and a source field or a drain field. The configuration of such a LDD field aims at mainly preventing degradation of TFT by the hot carrier effect. A shift register circuit, a buffer circuit, a level-shifter circuit, a latch circuit, etc. can be formed with such the n channel mold TFT and the p channel mold TFT. Especially, the structure of the n channel mold TFT304



is suitable for the buffer circuit where driver voltage is high from the purpose which prevents degradation by the hot carrier effect.

[0088] It has the 1st n-type-semiconductor field 218 which functions on the n channel mold TFT305 of the pixel section 302 as the channel formation field 247, the 2nd n-type-semiconductor field 227 formed in the outside of the conductive layer 231 of the 3rd configuration, and a source field or a drain field. Moreover, the 1st p type semiconductor field 235 is formed in the semi-conductor layer 206 which functions as one electrode of the auxiliary capacity 306.

[0089] In the pixel section, 244 is a pixel electrode and 242 is a connection electrode which connects the data line 224 and the 1st n-type-semiconductor field of the semi-conductor film 205. Moreover, although 243 is gate wiring and is not shown all over drawing, it has connected with the conductive layer 231 of the 3rd configuration which functions as a gate electrode.

[0090] It is formed with the semi-conductor film 206, gate dielectric film 236, and the capacity electrode (conductive layer of the 3rd configuration) 232, and the configuration of the auxiliary capacity 306 is connected with the gate wiring 249 of the adjoining pixel, as drawing 7 (B) shows.

[0091] The plan of such the pixel section 302 is shown in drawing 8 . In drawing 8 , the plan for about 1 pixel is shown and the sign to give is taken as drawing 7 (A) and a common thing. Moreover, A-A' and the cross-section structure of a B-B' line support drawing 7 (A) and drawing 7 (B). In the pixel structure of drawing 8 , by forming gate wiring and a gate electrode on a different layer, it becomes possible to make the semi-conductor layer 205 superimpose on the gate wiring 243, and the function as a light-shielding film is added to gate wiring. Moreover, it is arranged so that the edge of the pixel electrode 244 may be lapped with the data line 233, and is considering as the structure where formation of a light-shielding film (black matrix) is omissible so that the clearance between pixel inter-electrode may be shaded. Consequently, it is possible to raise a numerical aperture compared with the former.

[0092] The drive circuit 301 formed by this example and the substrate equipped

with the pixel section 302 are called a active-matrix substrate for convenience. The display which carries out a active-matrix drive can be formed using such a active-matrix substrate. Here, since the pixel electrode was formed with the ingredient of light reflex nature, if it applies to a liquid crystal display, the display of a reflective mold can be formed. The luminescence equipment which forms the pixel section by the liquid crystal display or the organic light emitting device from such a substrate can be formed. Drawing 10 is drawing explaining the appearance of the active-matrix substrate with which a drive circuit and the pixel section are formed of TFT. On the substrate 501, the pixel section 506 and the drive circuits 504 and 505 are formed. Moreover, an input terminal 502 is formed in one edge of a substrate, and the wiring 503 linked to each drive circuit is taken about.

[0093] [Example 2] this example explains the configuration of the active-matrix substrate for forming the indicating equipment of a transparency mold using drawing 9 . Drawing 9 shows the configuration of the pixel section 302 of the active-matrix substrate formed in the example 1. The n channel mold TFT305 and the auxiliary capacity 306 are formed like an example 1.

[0094] In order to form the active-matrix substrate corresponding to a transparency mold, it is necessary to form the pixel electrode of translucency. In an example 1, after forming a contact hole in the 3rd interlayer insulation film 239, the pixel electrode 250 of translucency is formed using ITO etc. Then, the connection wiring 251 linked to the connection electrode 242, or the gate line 243, and the 1st n-type-semiconductor field of the n channel mold TFT305 and the pixel electrode 250 and the connection wiring 252 which connects the pixel electrode 250 with the semi-conductor film 206 which forms one electrode of the auxiliary capacity 306 are formed. The active-matrix substrate corresponding to the indicating equipment of a transparency mold can be formed by such configuration.

[0095] [Example 3] this example explains below the process which produces the liquid crystal display of a active-matrix drive from the active-matrix substrate

produced in the example 1. Drawing 12 is used for explanation.

[0096] First, after obtaining the active-matrix substrate of the condition of drawing 7 (A) according to an example 1, the orientation film 604 is formed on the active-matrix substrate, and rubbing processing is performed. In addition, although not illustrated, before forming the orientation film 604, the spacer of the shape of a column for holding substrate spacing may be formed in a desired location by carrying out patterning of the organic resin film, such as acrylic resin film. Moreover, it may replace with a column-like spacer and a spherical spacer may be sprinkled all over a substrate.

[0097] Subsequently, a counterelectrode 602 is formed on the opposite substrate 601, the orientation film 603 is formed all over the opposite substrate 601, and rubbing processing is performed. A counterelectrode 602 is formed by ITO. And the pixel section, the active-matrix substrate with which the drive circuit was formed, and an opposite substrate are stuck by the sealing compound (not shown). The filler is mixed in the sealing compound and two substrates are stuck on it with uniform spacing by this filler and spacer. Then, the liquid crystal ingredient 605 is poured in among both substrates, and it closes completely with encapsulant (not shown). What is necessary is just to use a well-known liquid crystal ingredient for a liquid crystal ingredient. Thus, the liquid crystal display of a active-matrix drive shown in drawing 12 is completed.

[0098] [Example 4] drawing 13 is an example which shows the structure of the luminescence equipment of a active-matrix drive method. TFT654 for switching of the n channel mold TFT652 of the drive circuit section 650 shown here, the p channel mold TFT653, and the pixel section 651 and TFT655 for current control are produced like an example 1.

[0099] The 1st interlayer insulation film 618 which consists of silicon nitride and oxidation silicon nitride is formed in the upper layer of the gate electrodes 608-611, and it uses for it as a protective coat. Furthermore, the 2nd interlayer insulation film 619 which consists of organic resin ingredients, such as polyimide or an acrylic, is formed as flattening film.

[0100] The circuitry of the drive circuit section 650 is omitted here, although it differs in a gate signal side drive circuit and a data signal side drive circuit. Wiring 612 and 613 connects with the n channel mold TFT652 and the p channel mold TFT653, and the shift register, a latch circuit, a buffer circuit, etc. are formed using these TFT(s).

[0101] In the pixel section 651, the data wiring 614 connected with the source side of TFT654 for switching, and has connected the wiring 615 by the side of a drain with the gate electrode 611 of TFT655 for current control. Moreover, the source side of TFT655 for current control connected with the current supply wiring 617, and the electrode 616 by the side of a drain has connected it with the anode plate of a light emitting device.

[0102] On these wiring, the 2nd interlayer insulation film 627 which consists of organic insulating materials, such as silicon nitride, is formed. An organic resin ingredient is hygroscopic and has the property which carries out occlusion of the H<sub>2</sub>O. Since it will become the cause of supplying oxygen to an organic compound and degrading an organic light emitting device if the H<sub>2</sub>O is re-emitted, in order to prevent the occlusion of H<sub>2</sub>O, and re-emission, the 3rd insulator layer 620 which consists of silicon nitride or oxidation silicon nitride is formed on the 2nd interlayer insulation film 627. Or the 2nd interlayer insulation film 627 is omitted and the thing of the 3rd insulator layer 620 for which this layer is further formed with a chisel is also possible.

[0103] The organic light emitting device 656 consists of the cathode 624 formed using ingredients, such as alkali metal, such as the organic compound layer 623 and MgAg which have the anode plate 621 which forms on the 3rd insulator layer 620 and is formed with transparent conductive ingredients, such as ITO (indium oxide tin), a hole-injection layer, an electron hole transportation layer, a luminous layer, etc., and LiF, or alkaline earth metal. Although detailed structure of the organic compound layer 623 is made into arbitrary things, the example is shown by drawing 5 in the gestalt 2 of operation.

[0104] Since neither the organic compound layer 623 nor cathode 624 can

perform wet processing (processing of etching, rinsing, etc. by the drug solution), according to an anode plate 621, the septum layer 622 formed with a photopolymer ingredient on an organic compound insulator 619 is formed. The septum layer 622 is formed so that the edge of an anode plate 622 may be covered. The septum layer 622 applies the resist of a negative mold, and specifically, it forms it so that it may become the thickness of about 1-2 micrometers after BEKU. Then, using the photo mask which prepared the predetermined pattern, ultraviolet rays are irradiated and are exposed. The rate which will be exposed in the membranous thickness direction if the resist ingredient of a negative mold with bad transmission is used changes, and if this is developed, the upper part can make the gestalt of a septum layer the configuration (the so-called overhang configuration) which projects in the direction parallel to a substrate front face. Of course, such a septum layer can also be formed using photosensitive polyimide etc.

[0105] The ingredient containing the small magnesium (Mg), the lithium (Li), or calcium (calcium) of a work function is used for cathode 624. What is necessary is just to use the electrode which becomes preferably by MgAg (ingredient which mixed Mg and Ag by Mg:Ag=10:1). A MgAgAl electrode, a LiAl electrode, and a LiFAl electrode are mentioned to others. Furthermore, the 2-30nm of the 4th insulator layer 625 is preferably formed in the upper layer by the thickness of 5-10nm with silicon nitride or the DLC film. Even if it can form the DLC film by the plasma-CVD method and forms it at the temperature of 100 degrees C or less, it can cover and form the edge of the septum layer 622 with sufficient covering nature. The internal stress of the DLC film can ease oxygen and nitrogen by making it mix in a minute amount, and can be used as a protective coat. And the DLC film begins oxygen and it is known that gas barrier property, such as CO, CO<sub>2</sub>, and H<sub>2</sub>O, is high. After the 4th insulator layer 625 forms cathode 624, it is desirable to form continuously without carrying out atmospheric-air release. It is because the interface condition of cathode 624 and the organic compound layer 623 influences the luminous efficiency of an organic light emitting device greatly.

[0106] Thus, it becomes possible to prevent generating of the crack by thermal stress by forming the organic compound layer 623 and catholyte 624, and forming an organic light emitting device, without touching the septum layer 622. Moreover, in order that the organic light emitting device 656 may dislike oxygen and H<sub>2</sub>O most, since it is blocked, silicon nitride or oxidation silicon nitride, and the DLC film 625 are formed. Moreover, these also have the function for not taking out outside the alkali metals which the organic light emitting device 656 has.

[0107] In drawing 13, TFT654 for switching was made into multi-gate structure, and the low concentration drain (LDD) which overlaps a gate electrode is formed in TFT655 for current control. Although TFT using polycrystalline silicon shows a high working speed therefore, degradation of hot carrier impregnation etc. also tends to take place. therefore, it is very effective to form in a pixel TFT (TFT for switching of the OFF state current low enough and TFT for current control strong against hot carrier impregnation) from which structure differs according to a function like drawing 6, when it has high dependability and the display in which good image display is possible (the engine performance of operation -- high) is produced.

[0108] As drawing 13 shows, the 1st insulator layer 602 is formed in the lower layer side (substrate 601 side) of the semi-conductor film which forms TFT 654 and 655. The 2nd insulator layer 618 is formed in the opposite upper layer side. On the other hand, the 3rd insulator layer 620 is formed in the lower layer side of the organic light emitting device 656. The 4th insulator layer 625 is formed in an upper layer side. And the organic compound insulator 619 is formed and unified among the both. Alkali metal, such as sodium which TFT 654 and 655 dislikes most, is blocked by surrounding by the 1st insulator layer 602 and the 2nd insulator layer 618, although a substrate 601 and the organic light emitting device 656 can be considered as a pollution source. On the other hand, in order that the organic light emitting device 656 may dislike oxygen and H<sub>2</sub>O most, since it is blocked, the 3rd insulator layer 620 and the 4th insulator layer 625 are formed.

These also have the function for not taking out outside the alkali metals which the organic light emitting device 656 has.

[0109] In the organic luminescence equipment of structure as shown by drawing 13, the process which carries out continuation membrane formation of the anode plate 621 produced by the 3rd insulator layer 620 and the transparency electric conduction film represented by ITO by the sputtering method can be used for an example of the efficient production approach. The sputtering method is suitable for forming a precise silicon nitride film or an oxidation silicon nitride film, without giving a remarkable damage to the front face of an organic compound insulator 619.

[0110] As mentioned above, the pixel section can be formed combining TFT and organic luminescence equipment, and luminescence equipment can be completed. Such luminescence equipment can also form a drive circuit on the same substrate using TFT. As drawing 13 shows, the semi-conductor film, the gate dielectric film, and the gate electrode which are the main component of TFT have the structure which prevents contamination of alkali metal or the organic substance by surrounding a lower layer and upper layer side by the blocking layer and protective coat which consist of silicon nitride or oxidation silicon nitride. On the other hand, an organic light emitting device contains alkali metal in a part, and it is surrounded in the gas barrier layer which consists of the protective coat which consists of silicon nitride or oxidation silicon nitride, and the insulator layer which uses silicon nitride or carbon as a principal component, and has the structure which protects that oxygen and H<sub>2</sub>O permeate from the exterior.

[0111] Thus, this invention can complete luminescence equipment, without combination and each interfering in the component from which the property over an impurity differs. Furthermore the effect by stress can be eliminated and dependability can be raised.

[0112] It depends for the capacity removed from the semi-conductor film after crystallizing a metallic element with a [example 5] catalysis on the rate of crystallization of the semi-conductor film concerned other than whenever

[stoving temperature / of gettering ], or time amount (the crystallization field occupied to per the volume of a coat, or area comparatively).

[0113] The sample from which nickel is added on the amorphous silicon film, heating time is changed to it, and the rate of crystallization differs was produced. Specifically, an example of the rate of crystallization of the sample which changed and produced heating time is shown in drawing 17 and drawing 18 , using heat-treatment temperature as 650 degrees C (heating-up-time 3 minutes and 30 seconds) by the GRTA method. Drawing 17 is observed with an optical microscope using an amorphous field differing in light transmittance from a crystallization field, and the result of having plotted the rate of surface ratio as a rate of crystallization is shown. drawing 18 -- Raman -- a spectrum -- it is the result of plotting the peak intensity ratio of TO (a-Si:480cm<sup>-1</sup>) and TO (c-Si:520cm<sup>-1</sup> neighborhood) for which it asked from the spectrum to heat treatment time amount. The rate of crystallization is changing in about 95 - 99.9% of range.

[0114] After gettering irradiated laser light (a XeCl excimer laser, 480 mJ/cm<sup>2</sup>), it was performed. The rate of crystallization is about 100% by the exposure of laser light. In this condition, it investigated about the residual nickel concentration at the time of carrying out gettering processing for 3 minutes at 625 degrees C and 650 degrees C (each heating-up-time 3 minutes and 30 seconds). Nickel concentration was measured by TXRF (Total Reflection X-Ray Fluorescence: total reflection fluorescence X rays spectrum). Drawing 19 is the result of carrying out gettering at 625 degrees C, and if the rate of crystallization is high, as for residual nickel concentration, variation is greatly and high. On the other hand, correlation is not seen when gettering is carried out at 650 degrees C, as shown in drawing 20 .

[0115] Depending on the rate of crystallization before the exposure of laser light, it is thought that it is because the nickel silicide-ized to the grain boundary deposits, the amount of deposits increases and the sludge of nickel or nickel silicide becomes large that residual nickel concentration increases when the value is very high. A fall of the temperature at the time of gettering shows that it



is hard coming to move nickel to a gettering site. Therefore, from a viewpoint of extending the tolerance of the processing conditions in gettering, it turns out that it is good it to be desirable to specify the rate of crystallization and to consider as about 95 - 99%.

[0116] A degree removable from the silicon film after crystallizing a metallic element with a [example 6] catalysis is dependent on the rate of crystallization of the semi-conductor film concerned other than whenever [stoving temperature / of gettering ], or time amount (the crystallization field occupied to per the volume of a coat, or area comparatively). This example shows an example about a laser radiation condition dependency about a gettering property.

[0117] Drawing 21 shows the result of having measured concentration distribution of the nickel added as a metallic element which promotes crystallization according to secondary ion mass spectrometry. A laser luminous energy consistency is changed and the silicon film which is a sample irradiates it, after adding nickel and making it crystallize by heat-treatment. Laser light makes the light source a pulse oscillation XeCl excimer laser (wavelength of 308nm), is 30Hz in repeat frequency, and has carried out repeat exposure processing of the same field 12 times. Energy density is measured about the case of 380 mJ/cm<sup>2</sup> and 550 mJ/cm<sup>2</sup> to 480 mJ/cm<sup>2</sup> which is standard conditions.

[0118] Drawing 21 shows the depth direction distribution of the nickel in the crystallized silicon film. It turns out that it segregates on the front face of the silicon film concerned as a laser luminous energy consistency increases nickel. This is for the silicon film to fuse by the exposure of laser light, to solidify from a substrate side (substrate side), and for a solid-liquid interface to move toward a front face. That is, since nickel segregates in a liquid with whenever [dissolution / high ], it can be understood that the concentration becomes high in the front face solidified at the end. Drawing 22 changes a laser luminous energy consistency to 240 - 550 mJ/cm<sup>2</sup>, and shows the result of having measured the nickel concentration in the front face of the crystallized silicon film in TXRF. In drawing 22 , it is two or more 360 mJ/cm which the nickel concentration in a front face

increases.

[0119] thus, although energy density 360 mJ/cm<sup>2</sup> serves as the critical point, drawing 23 shows -- as -- Raman -- a spectrum -- it is also the point that the Raman shift of the crystal silicon in a spectrum decreases rapidly. It is shown that the silicon film is crystallizing the data of drawing 22 and drawing 23 through a melting condition by two or more energy density 360 mJ/cm.

[0120] The high-resolution transmission electron microscope photograph near the grain boundary is shown in drawing 24 , and an electron diffraction image is shown in drawing 25 . This is the sample after irradiating the laser light of 480 mJ/cm<sup>2</sup>. The lattice image of nickel silicide can be checked in drawing 2424 . The face to face dimension of the crystal obtained from the electron diffraction image of drawing 25 is shown in Table 1. According to Table 1, it is thought that the nickel silicide observed by the grain boundary is not NiSi<sub>2</sub> but nickel<sub>3</sub>Si<sub>2</sub> or nickel<sub>2</sub>Si. By supercooling, the nickel fused by the exposure of laser light can be regarded as having frozen in the grain boundary in the state of nickel<sub>3</sub>Si<sub>2</sub> or nickel<sub>2</sub>Si. This is presumed to be that from which NiSi<sub>2</sub> which existed in the grain boundary changed with the energy of laser to nickel<sub>3</sub>Si<sub>2</sub> or nickel<sub>2</sub>Si. Since stable temperature is thermally low, nickel<sub>3</sub>Si<sub>2</sub> and nickel<sub>2</sub>Si can be considered that nickel is easy to be emitted from these silicide.

[0121]

[Table 1]

| 面間距離    | 該当結晶   |
|---------|--|
| 2.677 Å | N i <sub>3</sub> S i <sub>2</sub> (420) = 2.6637 Å |
|         | N i <sub>3</sub> S i <sub>2</sub> (330) = 2.700 Å  |
|         | N i <sub>2</sub> S i (122) = 2.68 Å                |
| 3.08 Å  | S i (111)  |
| 1.24 Å  | S i (331)  |

[0122] Various semiconductor devices can be manufactured by using [example 7] this invention. As such a semiconductor device, the picture reproducer equipped with a video camera, a digital camera, a goggles mold indicating equipment (head mount display), a navigation system, sound systems (a car

audio, audio component stereo, etc.), a note type personal computer, a game device, Personal Digital Assistants (a mobile computer, a cellular phone, a handheld game machine, or digital book), and a record medium etc. is mentioned. The example of these semiconductor devices is shown in drawing 15 and drawing 16 .

[0123] Drawing 15 (A) is monitors, such as a desktop mold personal computer, and consists of a case 3301, susceptor 3302, a display 3303, etc. A display 3303 and other integrated circuits can be manufactured by using this invention.

[0124] Drawing 15 (B) is a video camera and contains a body 3311, a display 3312, the voice input section 3313, the actuation switch 3314, a dc-battery 3315, and television section 3316 grade. A display 3312 and other integrated circuits can be manufactured by using this invention.

[0125] Drawing 15 (C) is a part of head mount EL display (right one side), and contains a body 3321, a signal cable 3322, the head fixed band 3323, the projection section 3324, optical system 3325, and display 3326 grade. A display 3326 and other integrated circuits can be manufactured by using this invention.

[0126] drawing 15 -- (-- D --) -- a record medium -- having had -- picture reproducer (specifically DVD regenerative apparatus) -- it is -- a body -- 3331 -- record media (DVD etc.) -- 3332 -- actuation -- a switch -- 3333 -- a display -- (-- a --) -- 3334 -- a display -- (-- b --) -- 3335 -- etc. -- from -- changing -- \*\*\*\* . using this invention, although a display (a) 3334 mainly displays image information and a display (b) 3335 mainly displays text -- a display (a) 3334 and a display (b) -- 3335 -- in addition to this, an integrated circuit can be manufactured. In addition, a home video game machine machine etc. is contained in the picture reproducer equipped with the record medium.

[0127] Drawing 15 (E) is a goggles mold indicating equipment (head mount display), and contains a body 3341, a display 3342, and the arm section 3343. A display 3342 and other integrated circuits can be manufactured by using this invention.

[0128] Drawing 15 (F) is a note type personal computer, and contains a body

3351, a case 3352, a display 3353, and keyboard 3354 grade. A display 3353 and other integrated circuits can be manufactured by using this invention.

[0129] Drawing 16 (A) is a cellular phone and contains a body 3401, the voice output section 3402, the voice input section 3403, a display 3404, the actuation switch 3405, and an antenna 3406. A display 3404 and other integrated circuits can be manufactured by using this invention.

[0130] Drawing 16 (B) is a car audio and includes a body 3411, a display 3412, and the actuation switches 3413 and 3414 in a sound system and a concrete target. The luminescence equipment of this invention can be used by the display 3412. Moreover, although this example shows the audio for mount, you may use for a pocket mold or a sound system for home use.

[0131] drawing 16 -- (-- C --) -- a digital camera -- it is -- a body -- 3501 -- a display -- (-- A --) -- 3502 -- an eye contacting part -- 3503 -- actuation -- a switch -- 3504 -- a display -- (-- B --) -- 3505 -- a dc-battery -- 3506 -- containing . By using this invention, (Display A) 3502 display (B) 3505 and other integrated circuits can be manufactured.

[0132] As mentioned above, the applicability of this invention is very wide, and applying to various electronic instruments is possible. Moreover, even if the electronic instrument of this example uses the configuration which consists of combination like an example 1 - 5 throats, it is realizable.

[0133]

[Effect of the Invention] A catalyst element can be efficiently removed or reduced from the semi-conductor film which has the crystal structure acquired by using this invention using the catalyst element which promotes crystallization.

Moreover, it has the description that this processing can be performed below at the temperature which a glass substrate distorts and deforms.

[0134] Moreover, since the rare-gas element added on the semi-conductor film in order to perform gettering is inactive in the semi-conductor film, it does not have the bad influence of fluctuating the threshold electrical potential difference of TFT. Moreover, since the rare-gas element added by ion-implantation or the ion

doping method can be supplied in the condition that balance gas is not included at all by the high grade, there can be little time amount which doping takes, and can end, and it can raise improvement in the productivity of a semiconductor device.

[0135] Furthermore, the semi-conductor film which has the crystal structure produced by this invention is excellent in crystallinity with the effectiveness of a catalyst element, and the catalyst element is removed or reduced by gettering. Therefore, when it uses as a barrier layer of a semiconductor device, the semiconductor device which combines outstanding electrical characteristics and high dependability can be obtained.

---

[Translation done.]

**\* NOTICES \***

**JPO and NCIP are not responsible for any damages caused by the use of this translation.**

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

## DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] The sectional view explaining the making process of the semiconductor device of this invention.

[Drawing 2] The sectional view explaining the making process of the semiconductor device of this invention.

[Drawing 3] The sectional view explaining the making process of the

semiconductor device of this invention.

[Drawing 4] The sectional view explaining the making process of the active-matrix substrate corresponding to the reflective mold indicating equipment produced using this invention.

[Drawing 5] The sectional view explaining the making process of the active-matrix substrate corresponding to the reflective mold indicating equipment produced using this invention.

[Drawing 6] The sectional view explaining the making process of the active-matrix substrate corresponding to the reflective mold indicating equipment produced using this invention.

[Drawing 7] The sectional view explaining the making process of the active-matrix substrate corresponding to the reflective mold indicating equipment produced using this invention.

[Drawing 8] The plan explaining the configuration of the pixel section of the active-matrix substrate corresponding to the reflective mold indicating equipment produced using this invention.

[Drawing 9] The sectional view explaining the configuration of the pixel section of the active-matrix substrate corresponding to the transparency mold indicating equipment produced using this invention.

[Drawing 10] The plan explaining the appearance of a active-matrix substrate.

[Drawing 11] The sectional view explaining the making process of the semiconductor device of this invention.

[Drawing 12] The sectional view explaining the configuration of the liquid crystal display produced using this invention.

[Drawing 13] The sectional view explaining the configuration of the luminescence equipment produced using this invention.

[Drawing 14] The sectional view explaining the making process of the semiconductor device of this invention.

[Drawing 15] Drawing showing an example of a semiconductor device.

[Drawing 16] Drawing showing an example of a semiconductor device.

[Drawing 17] The graph which shows the relation between the heat treatment time amount by the GRTA method, and the rate of crystallization.

[Drawing 18] Raman -- a spectrum -- the graph which shows the heat treatment time dependency of the peak intensity ratio of TO (a-Si:480cm<sup>-1</sup>) and TO (c-Si:520cm<sup>-1</sup> neighborhood) searched for from the spectrum.

[Drawing 19] The graph which shows the relation between the rate of crystallization, and the residual nickel concentration after gettering (temperature of 625 degrees C at the time of gettering).

[Drawing 20] The graph which shows the relation between the rate of crystallization, and the residual nickel concentration after gettering (temperature of 650 degrees C at the time of gettering).

[Drawing 21] It is the graph which shows distribution of the nickel concentration in the semi-conductor film by secondary ion mass spectrometry, and the distribution before and behind the exposure of laser light is shown.

[Drawing 22] The graph which shows nickel concentration distribution of a semi-conductor film front face, and shows the exposure energy dependence of laser light.

[Drawing 23] The graph which shows the Raman shift of the semi-conductor film and shows the exposure energy dependence of laser light.

[Drawing 24] The high-resolution transmission electron microscope photograph near the grain boundary.

[Drawing 25] The electron diffraction image in the specifying point near the grain boundary.

---

[Translation done.]

\* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

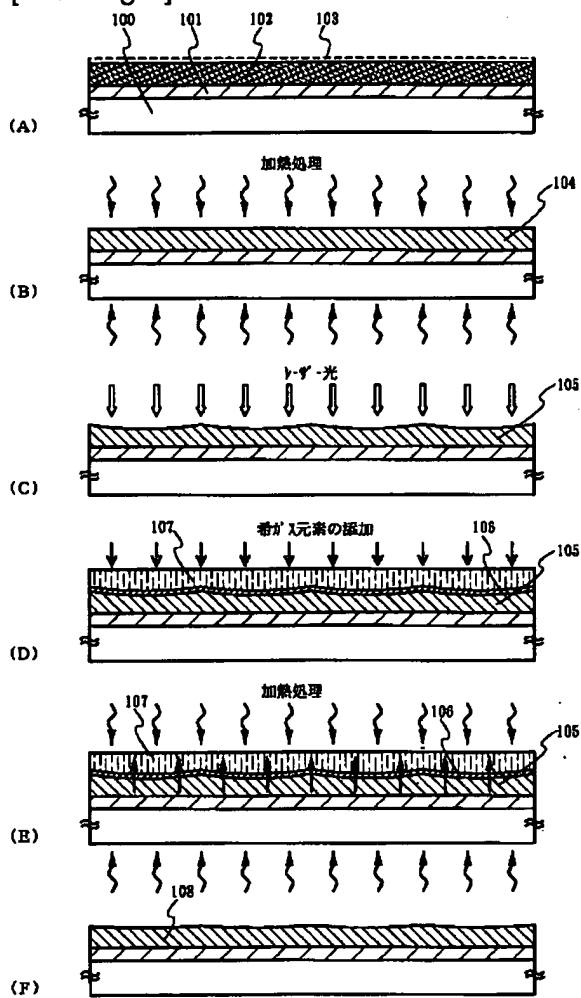
- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

## DRAWINGS

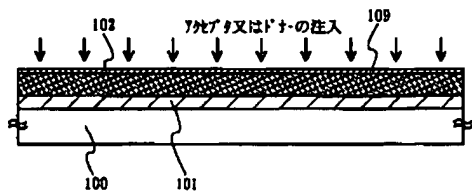
---

[Drawing 1]

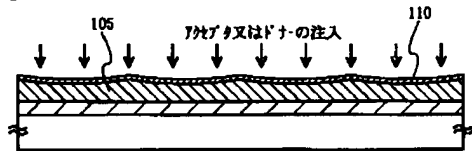


[Drawing 2]

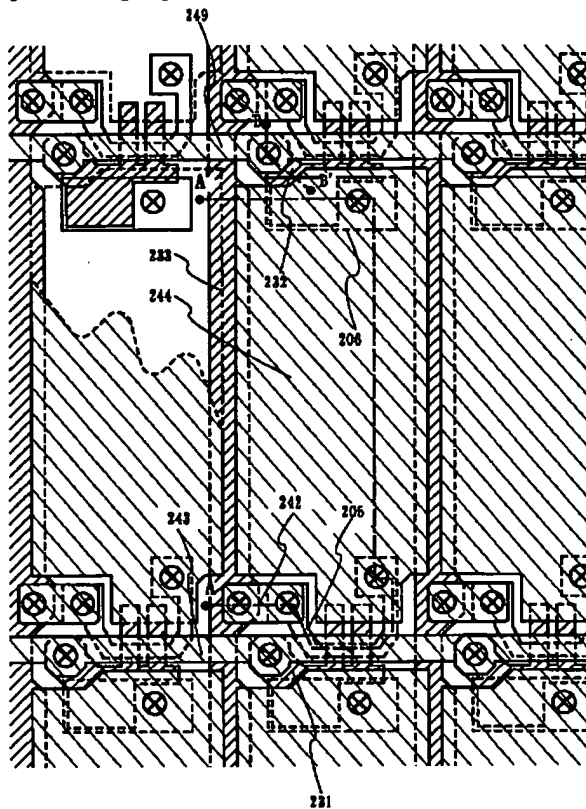




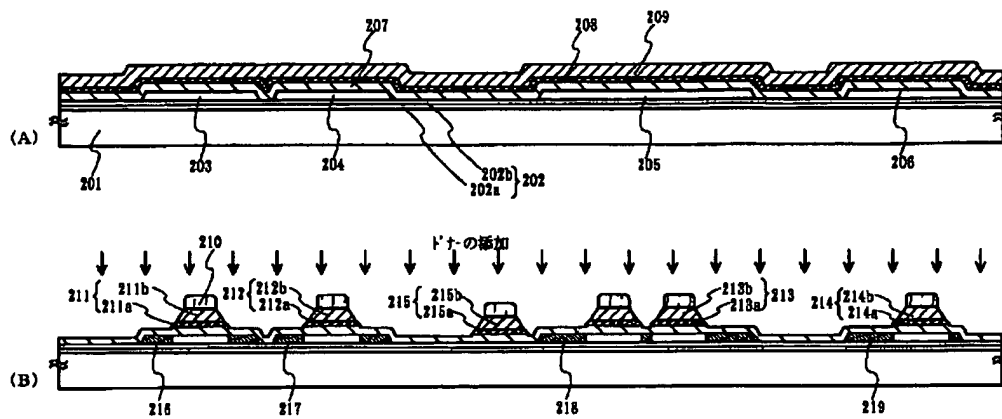
[Drawing 3]



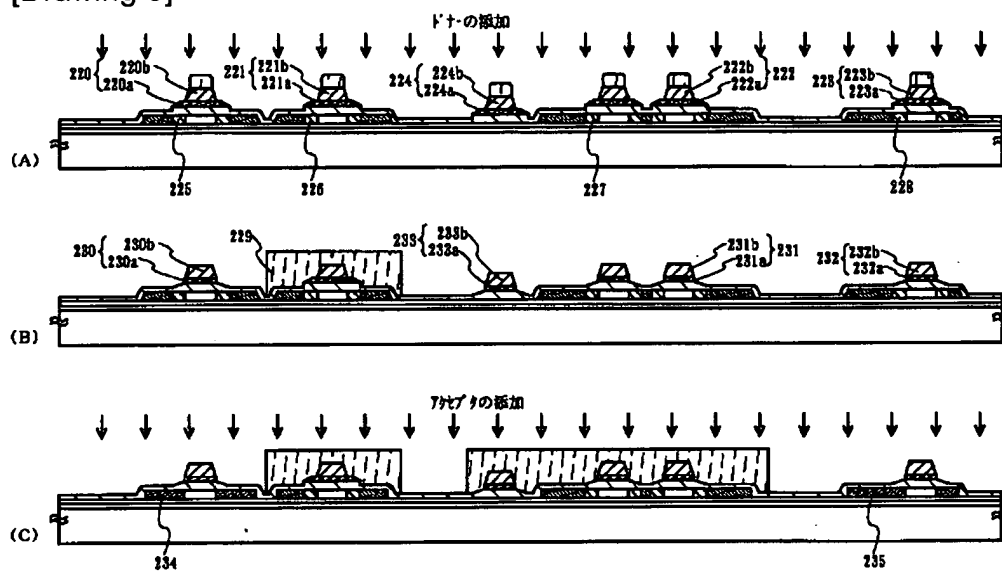
[Drawing 8]



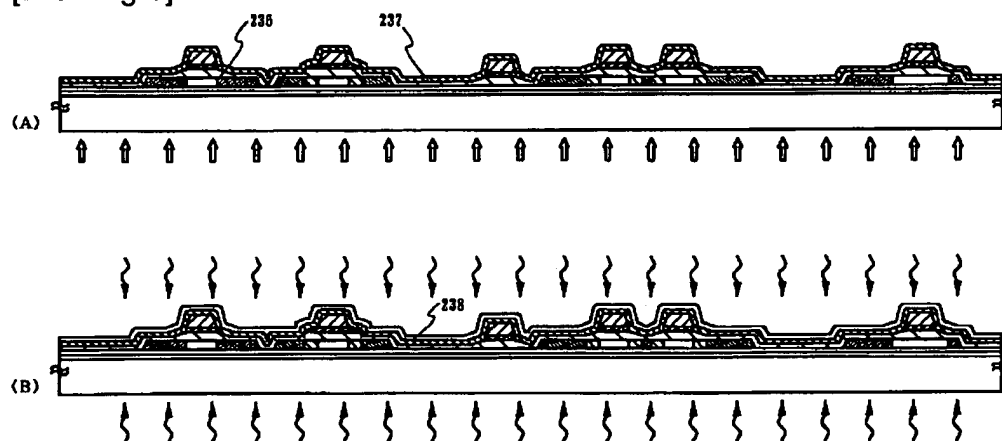
[Drawing 4]



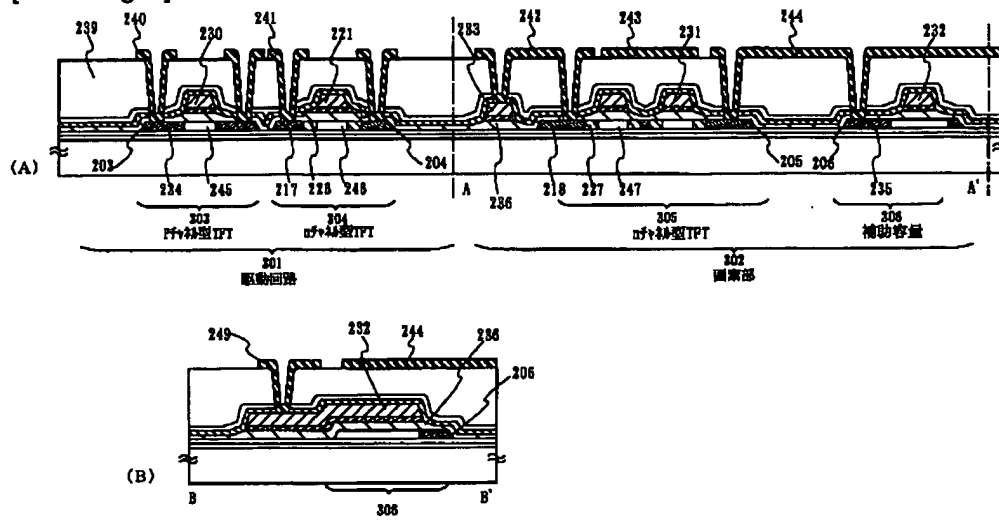
[Drawing 5]



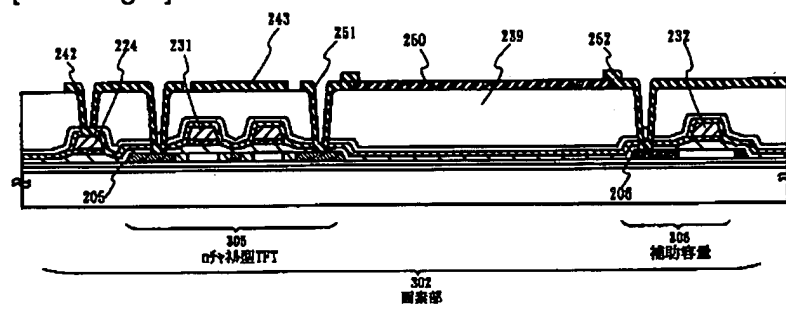
[Drawing 6]



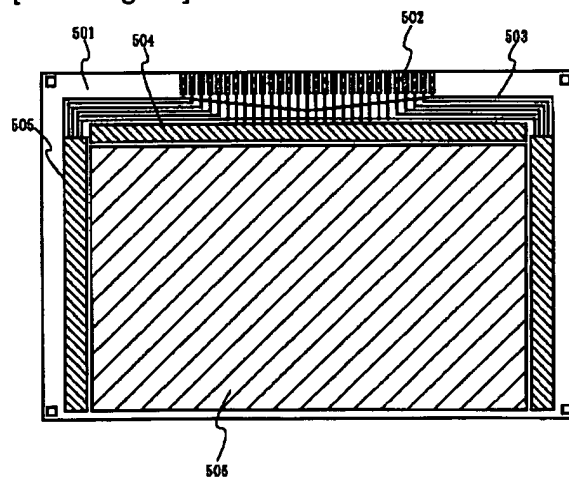
[Drawing 7]



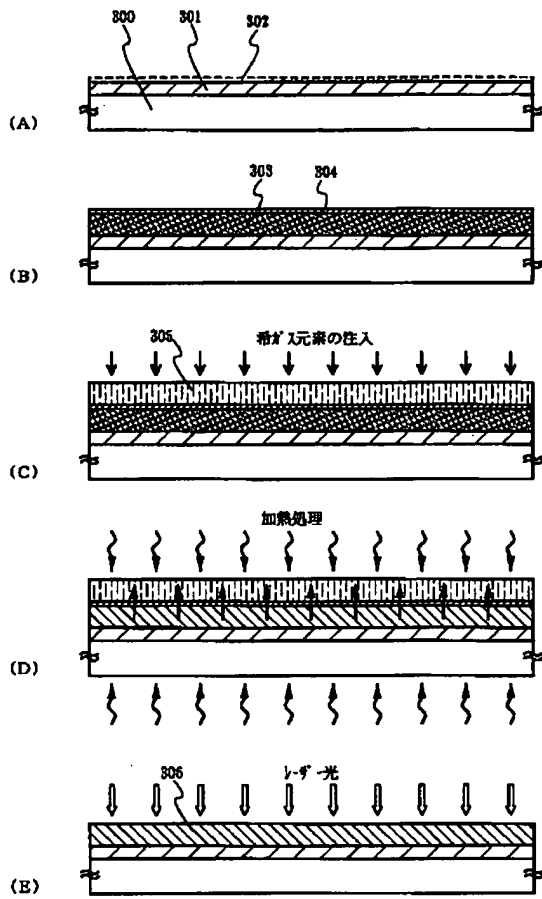
[Drawing 9]



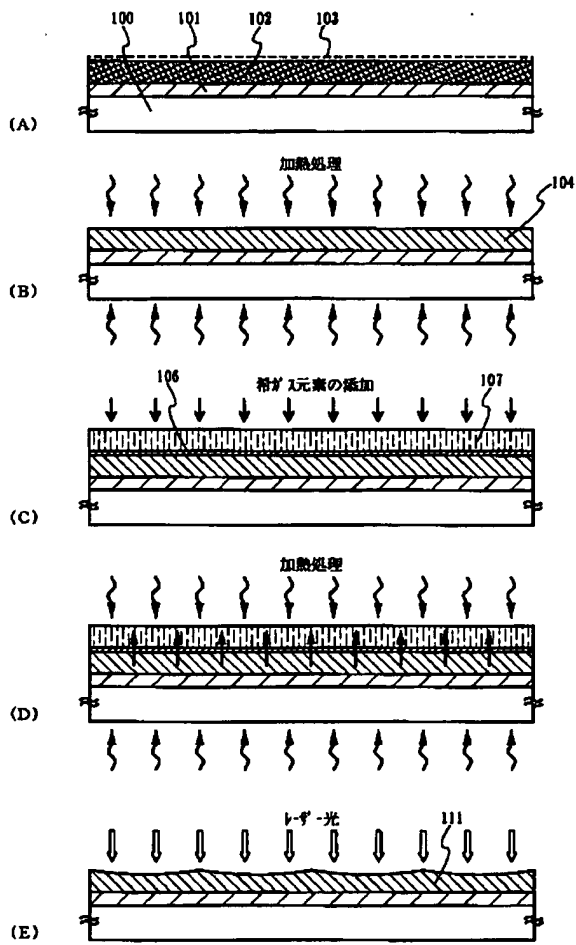
[Drawing 10]



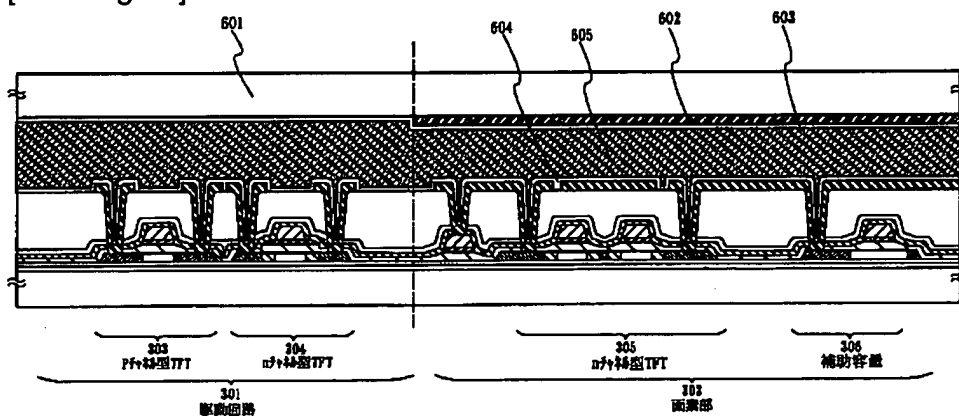
[Drawing 14]



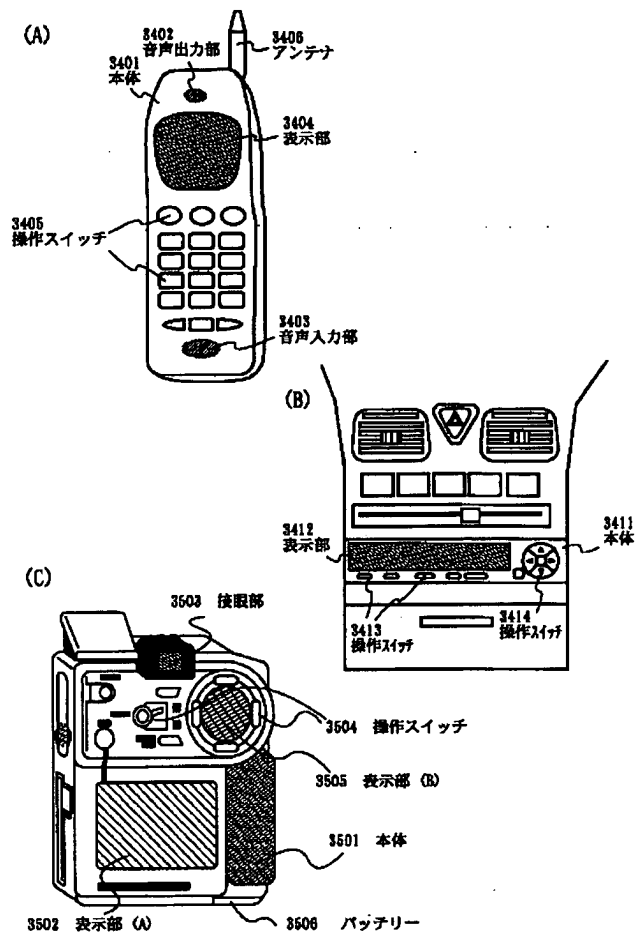
[Drawing 11]



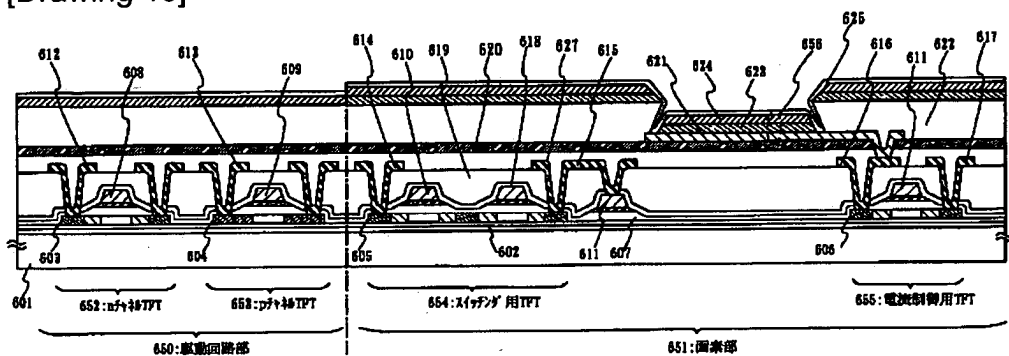
[Drawing 12]



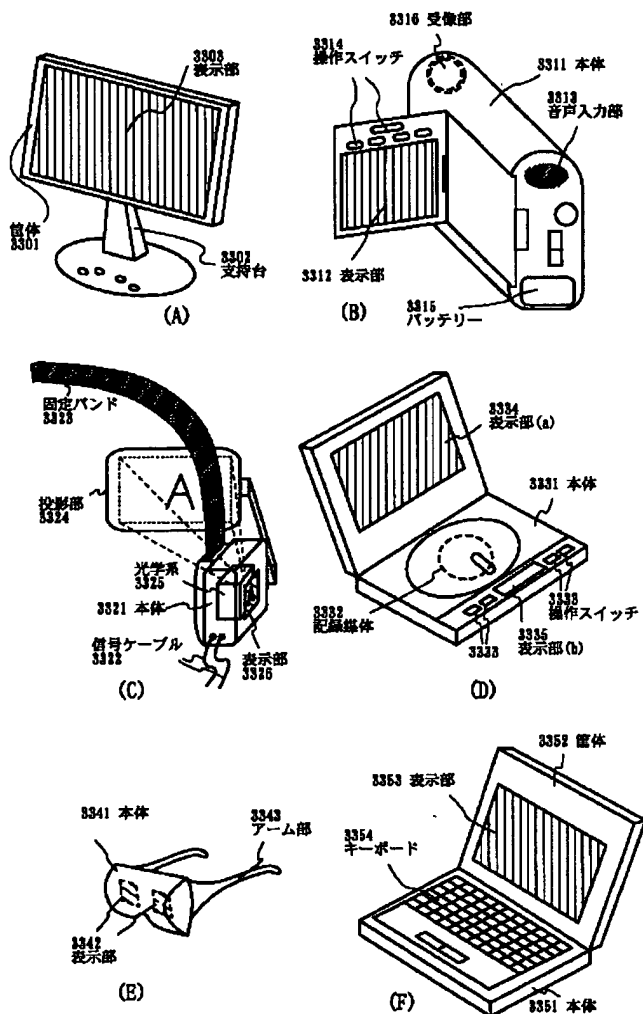
[Drawing 16]



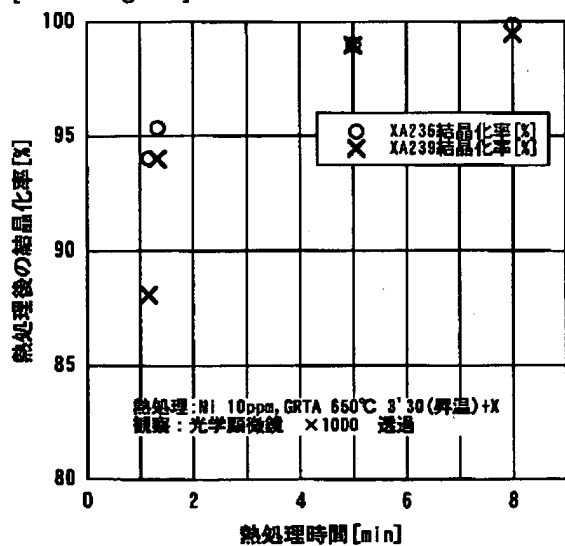
[Drawing 13]



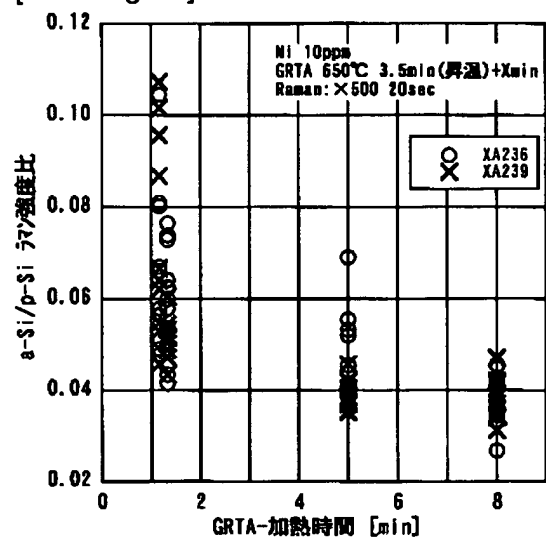
[Drawing 15]



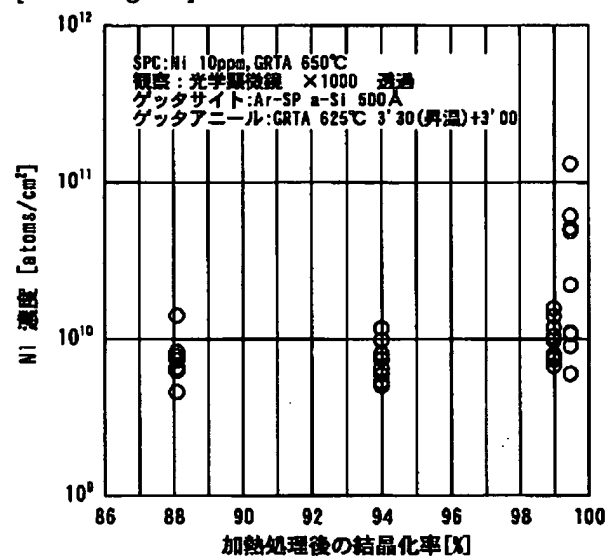
[Drawing 17]



[Drawing 18]

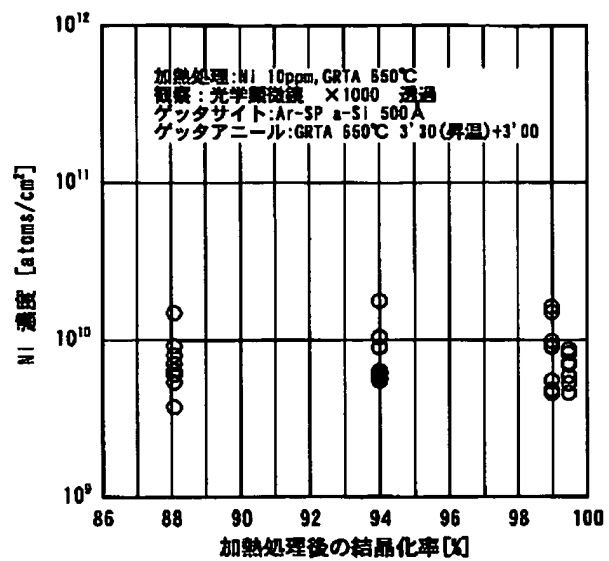


[Drawing 19]

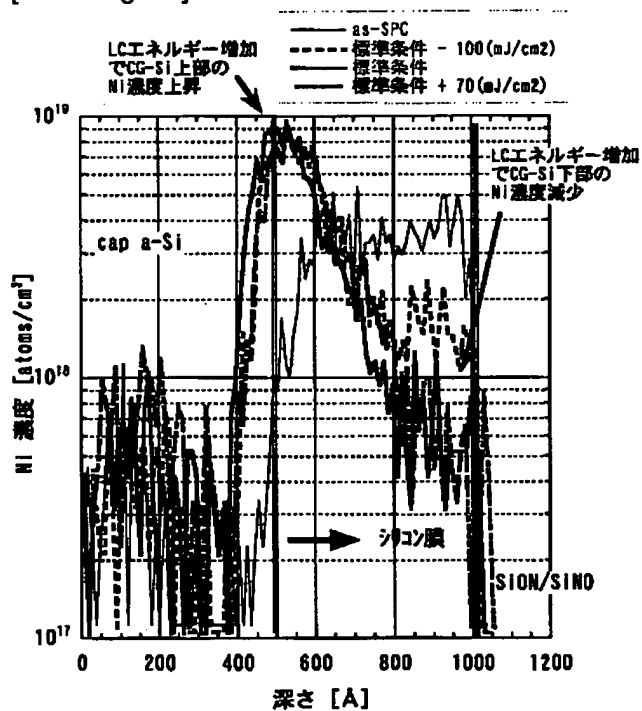


[Drawing 20]

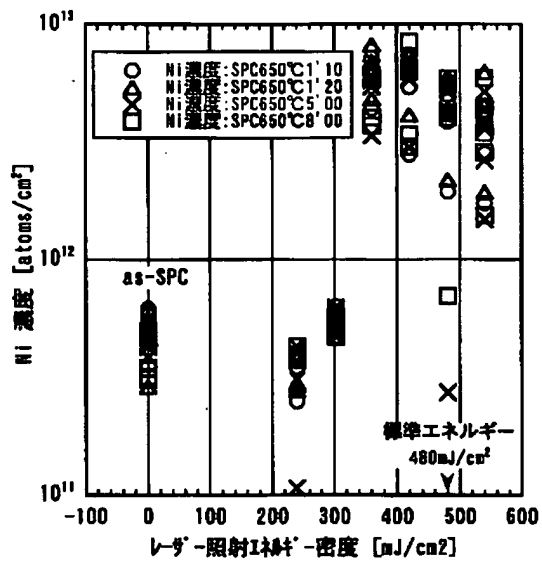




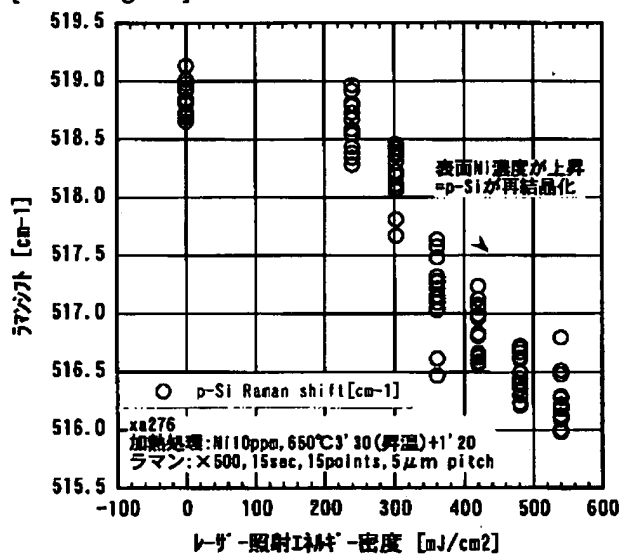
[Drawing 21]



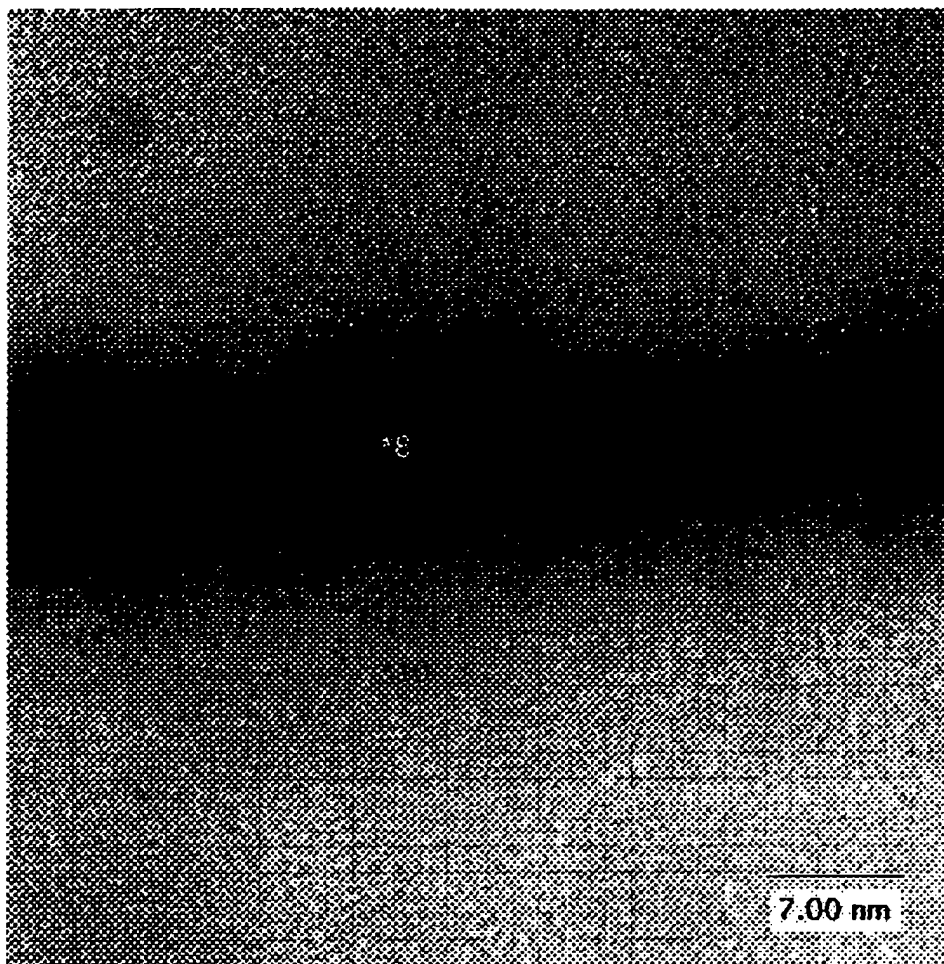
[Drawing 22]



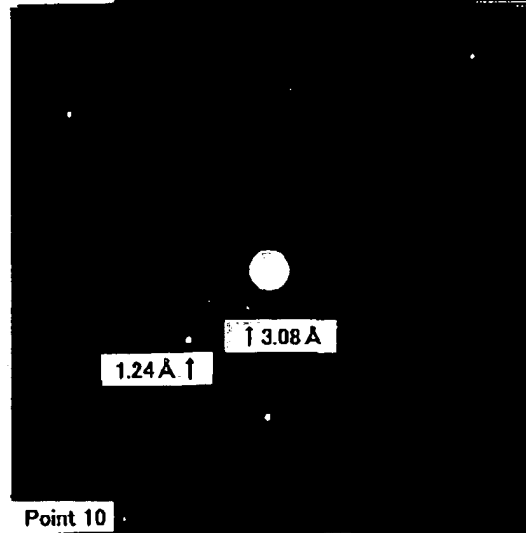
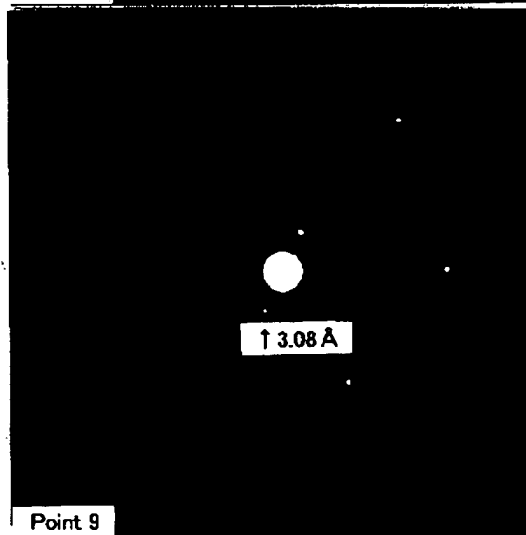
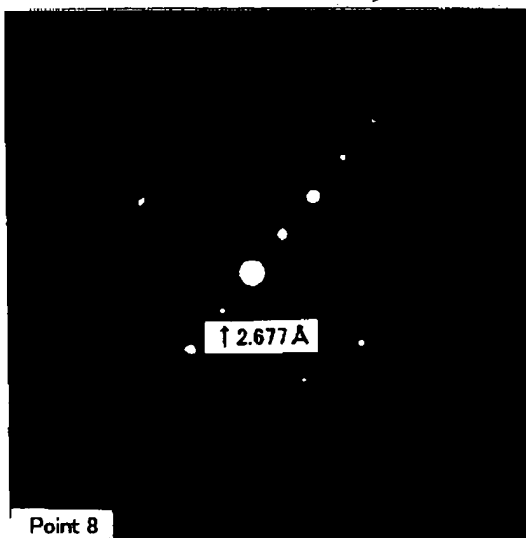
[Drawing 23]



[Drawing 24]



[Drawing 25]



---

[Translation done.]

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☒ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**